

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-114644

(43)Date of publication of application : 18.04.2003

(51)Int.Cl. G09G 3/30  
G09F 9/30  
G09G 3/20  
H05B 33/14

(21)Application number : 2001-307251

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.10.2001

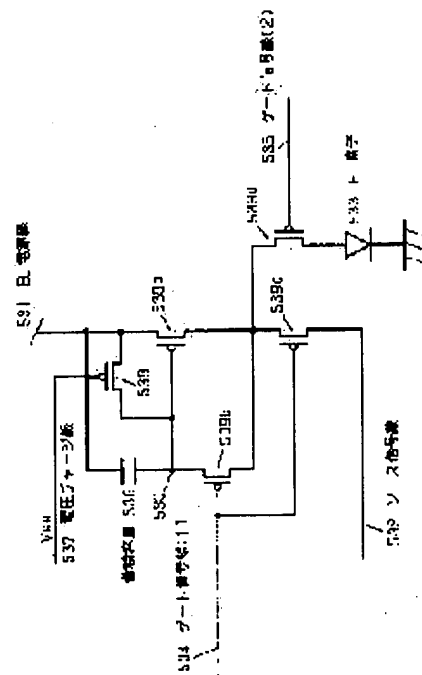
(72)Inventor : TSUGE HITOSHI

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE AND ITS DRIVING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce display unevenness by the rounding of current waveforms caused by stray capacities of source signal lines in an active matrix type display device performing current drive.

**SOLUTION:** In this active matrix type display device, the value of the current made to flow through a source signal line is increased in order to make the electric charges stored on a stray capacity to be electric charges corresponding to display gradation. In order to achieve this purpose, the resistance value between the drain and the source of driving transistors is lowered by forming a current path in parallel with the driving transistors between a power source line and the source signal line in order to make the apparent resistance value of the driving transistors of each pixel smaller and the rounding of current waveforms are made smaller.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-114644  
(P2003-114644A)

(43) 公開日 平成15年4月18日 (2003.4.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E
			6 1 1 J

審査請求 未請求 請求項の数12 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願2001-307251(P2001-307251)

(22) 出願日 平成13年10月3日 (2001.10.3)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

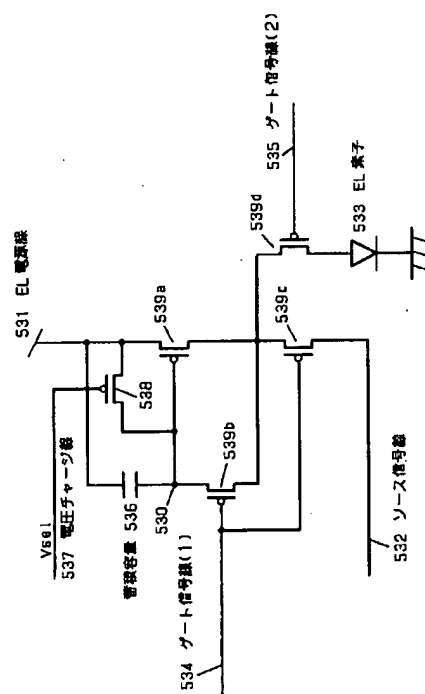
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置及びその駆動方法

### (57) 【要約】

【課題】 電流駆動を行うアクティブマトリクス型表示装置においてソース信号線の浮遊容量に起因する電流波形のなまりによる表示むらを減少させる。

【解決手段】 浮遊容量に蓄積された電荷をすばやく表示階調に対応したものにするため、ソース信号線に流す電流値を増加させる。そのために各画素の駆動トランジスタの見かけの抵抗値を小さくするため、電源線とソース信号線間に駆動用トランジスタと並列に電流経路を形成することで、駆動用トランジスタのドレイン-ソース間抵抗値を低下させ、波形のなまりを小さくした。



## 【特許請求の範囲】

【請求項1】 駆動用トランジスタを介して電源からソース信号線に電流を流すマトリクス型表示装置であって、  
ソース信号線に電流を流す水平走査期間のうち一部の期間に、電源からソース信号線の経路において駆動用トランジスタと並列に電流経路を形成するような構成としたことを特徴とするマトリクス型表示装置。

【請求項2】 第1の期間においては、  
駆動用トランジスタ及び前記駆動用トランジスタと並列に形成された電流経路を通してソース信号線に電流を流し、

第2の期間においては、  
前記駆動用トランジスタを通してソース信号線に電流を流し、

第3の期間においては、  
前記駆動用トランジスタを通して表示素子に電流を流すことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項3】 アクティブマトリクス型表示装置であって、

電源から供給される電流を制御する駆動用トランジスタと、

ソース信号線から前記駆動用トランジスタに電流経路を形成する信号線接続トランジスタと、

前記駆動用トランジスタの電流を表示素子に供給する経路を形成するEL接続トランジスタと、

前記駆動用トランジスタのソースゲート間に電流経路を形成するためのバイパストラジスタとを具備し、

前記信号線接続トランジスタが導通状態となっている期間に、前記バイパストラジスタが非導通状態とは異なる期間を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項4】 アクティブマトリクス型表示装置であって、

電源から供給される電流を制御する駆動用トランジスタと、

ソース信号線から前記駆動用トランジスタに電流経路を形成する信号線接続トランジスタと、

前記駆動用トランジスタの電流を表示素子に供給する経路を形成するEL接続トランジスタと、

前記駆動用トランジスタのソースゲート間に電流経路を形成するためのバイパストラジスタと、

前記駆動用トランジスタのゲート電極の電位を維持するための蓄積容量と、補助容量と前記補助容量に直列に接続されたスイッチング素子とを具備し、

前記補助容量及び前記スイッチング素子は前記蓄積容量と電氣的に並列に接続され、

前記スイッチング素子は前記信号線接続トランジスタが導通状態となるうちの初めの期間に導通状態となること

を特徴とするアクティブマトリクス型表示装置。

【請求項5】 アクティブマトリクス型表示装置であって、

電源から供給される電流を制御し、表示素子に供給するEL駆動用トランジスタと、

前記EL駆動用トランジスタのゲート電極とゲート電極が共通となっている電源から供給される電流を制御し、

ソース信号線に供給する信号線駆動用トランジスタと、

ソース信号線から前記信号線駆動用トランジスタに電流経路を形成する第1の信号線接続トランジスタと、

前記EL駆動用トランジスタの電流を表示素子に供給する経路を形成するEL接続トランジスタと、

前記EL駆動用トランジスタとソース信号線との間に電流経路を形成する第2の信号線接続トランジスタとを具備し、

前記第1の信号線接続トランジスタと前記第2の信号線接続トランジスタがともに導通状態となったときに、EL接続トランジスタが非導通状態となり、

ソース信号線には所定の電流値と前記信号線駆動用トランジスタが所定電流値となったときに前記EL駆動用トランジスタに流れる電流値の和の電流を流し、

前記第1の信号線接続トランジスタが導通状態で、前記第2の信号線接続トランジスタが非導通状態のときには所定の電流値をソース信号線に流すようにしたことを特徴とするアクティブマトリクス型表示装置。

【請求項6】 アクティブマトリクス型表示装置であって、

電源から供給される電流を制御する互いのゲート電極が接続された2つの駆動用トランジスタと、

ソース信号線から前記駆動用トランジスタに電流経路を形成する信号線接続トランジスタと、

前記駆動用トランジスタの電流を表示素子に供給する経路を形成するEL接続トランジスタと、

前記2つの駆動用トランジスタのうちの1つと直列に挿入された倍率調整トランジスタとを具備し、

前記EL接続トランジスタが導通状態となったときに前記倍率調整トランジスタを非導通状態とし、

前記信号線接続トランジスタが導通状態のときに、前記倍率調整トランジスタに導通状態と非導通状態の期間が存在し、

前記ソース信号線は前記倍率調整トランジスタが非導通状態のときには所定電流値を流し、

前記倍率調整トランジスタが導通状態のときには、所定電流値の数倍の電流を流したことを特徴とするアクティブマトリクス型表示装置。

【請求項7】 アクティブマトリクス型表示装置であって、

電源から供給される電流を制御する互いのゲート電極が接続された2つの駆動用トランジスタと、

ソース信号線から前記駆動用トランジスタに電流経路を

形成する信号線接続トランジスタと、  
前記駆動用トランジスタの電流を表示素子に供給する経路を形成するEL接続トランジスタと、  
前記2つの駆動用トランジスタのうちの1つと直列に挿入された倍率調整トランジスタとを具備し、  
前記信号線接続トランジスタが導通状態のときに、  
前記倍率調整トランジスタに導通状態と非導通状態の期間が存在し、  
前記倍率調整トランジスタが非導通状態のときに対し、  
前記倍率調整トランジスタが導通状態のときに前記ソース信号線に数倍の電流を流し、  
前記倍率調整トランジスタが非導通状態のときに前記ソース信号線に流れた電流値と所定電流値の比に応じて、  
前記EL接続トランジスタが導通状態となる期間を変化させたことを特徴とするアクティブマトリクス型表示装置。

【請求項8】 請求項1もしくは請求項6記載の表示装置と、復調部と、アンテナと、ボタンとを具備することを特徴とする携帯情報端末。

【請求項9】 請求項1もしくは請求項6記載の表示装置に映像信号処理回路と、電源部と受信装置を具備したことを特徴とするテレビ。

【請求項10】 請求項6記載の表示装置にビューファインダーと、撮影レンズと、制御ボタンとを設けたことを特徴とするビデオカメラ。

【請求項11】 請求項6記載の表示装置にシャッターと、撮影レンズと、ファインダーとボタンを設けたことを特徴とするデジタルカメラ。

【請求項12】 請求項1もしくは請求項6記載の表示装置に光量調整手段を設けたことを特徴とする照明装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機電界発光素子など、電流量により階調表示を行う表示装置に関するものである。

【0002】

【従来の技術】有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

【0003】

【発明が解決しようとする課題】有機発光素子のように、素子の発光強度と素子に印加される電界が比例関係とならず、素子の発光強度と素子を流れる電流密度が比例関係にあるため、素子の膜厚のばらつき及び入力信号値のばらつきに対し、発光強度のばらつきは電流制御により階調表示を行う方が小さくすることができる。

【0004】半導体層を有するトランジスタを用いたアクティブマトリクス型表示装置の例を図61に示す。各

画素は79に示すように、複数のトランジスタ（スイッチング素子）73と蓄積容量74ならびに有機発光素子72からなる。

【0005】トランジスタ73は1フレームのうち行選択期間（期間A）にはゲートドライバ70からの出力により73a及び73bのトランジスタを導通させ、73dのトランジスタは非導通状態とする。非選択期間（期間B）には、逆に73dのトランジスタを導通状態とし、73a及び73bのトランジスタを非導通状態とする。

【0006】この操作により期間Aにおいて、ソースドライバ71から出力される電流値に応じて、トランジスタ73cを流れる電流量が決められ、トランジスタ73cのソースドレイン間電流とゲート電圧の関係からゲート電圧が決まり、ゲート電圧に応じた電荷が蓄積容量74に蓄積される。期間Bでは期間Aで蓄積された電荷量に応じて、トランジスタ73cのゲート電圧が設定されるため、期間Aでトランジスタ73cに流れた電流と同一の電流が期間Bにおいてもトランジスタ73cを流れ、トランジスタ73dを通じて、有機発光素子72を発光させる。ソース信号線の電流量に応じ、蓄積容量74の電荷量が変わり、有機発光素子72の発光強度が変化する。

【0007】表示パターンとして、あるソース信号線に、点灯、非点灯の順に電流を流した場合と、非点灯、非点灯の順に電流を流した場合で、非点灯時画素の輝度が異なることがわかった。点灯、非点灯の順の場合、非点灯画素は点灯時の輝度を1、非点灯時の輝度を0とすると、0.5程度点灯した。また、一度点灯信号を流した後、残りの同一フレーム期間内で非点灯信号を流し続けた場合、非点灯画素の輝度は0.5から徐々に減少し、フレーム周波数が60Hz、表示行数が220行の場合、6から7行目より輝度は0となることがわかった。

【0008】一方、非点灯の後に点灯信号を流した場合は、点灯輝度ははじめ0.8であったが、3行目より輝度1で表示できた。

【0009】このことは、ソースドライバの出力は表示画素に応じて、電流値を変化させているが、各画素へ供給される電流波形が、ソース信号線の配線抵抗および浮遊容量によりなまり、所望の電流値が各画素へ蓄積容量74の電荷として蓄えられていないことを示す。つまり、所望の電流値を書き込む能力が小さいことがわかった。

【0010】特に、電流値小から電流値大への変化に比べ、電流値大から電流値小への変化は2倍程度かかることがわかった。

【0011】フレーム周波数を遅くし、1行ごとの書き込み時間を多く取ることで、波形なまりの影響が小さくなり、上記課題が改善することを確認した。

【0012】フレーム周波数を遅くすると、トランジスタ73のオフ特性が悪い場合、蓄積容量74の電荷量はトランジスタ73のリークにより変化し、その上、有機発光素子72の電流量も変化することで、フリッカが発生する。

【0013】従って、フリッカのない表示を得るためには、電流波形のなまりを低減し、1つ前に表示される画素に流す電流値によらず、所望の電流値が選択期間内に流れるようにする必要がある。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明のアクティブマトリクス型表示装置は、ソース信号線に所定の電圧を印加する手段と、所定の電流量を流す手段と、ソース信号線に前記電圧印加手段、前記電流を流す手段とを切りかえる切り替え手段を具備し、映像信号の変化によりソース信号線に流れる電流量変化を早くしたことを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明を行う。

【0016】（実施の形態1）図2は本発明の第1の実施の形態における1つのソース信号線につながる2画素分の有機発光素子の駆動回路を示した図である。

【0017】本発明では、表示階調に応じた所望の電流を流す電流源10と、所定の電圧を印加するための電圧源18を設け、電源切り替え手段19によりソース信号線に入力する電源を切り替えられるようにしたことが特徴である。

【0018】携帯電話およびモニターなどの表示部の各画素の大きさは横100 $\mu$ m、縦250 $\mu$ m程度であり、100カンデラ/平方メートルの輝度を得るためのソース信号線に必要な電流値は、表示色及び外部量子効率により異なるが、およそ1 $\mu$ A程度である。

【0019】EL素子16に対して1 $\mu$ Aを流すにはソースドライバ側で電源切り替え手段19は電流源10を選択し、電流源10は流れる電流値を1 $\mu$ Aとする。

【0020】選択行ではゲート信号線(1)12にトランジスタ17が導通する信号、ゲート信号線(2)13には非導通の信号を印加し、非選択行では逆にゲート信号線(1)12に非導通信号、ゲート信号線(2)13に導通信号を印加する。

【0021】これにより、選択行（この例では1行目とする）においては、ソース信号線11の電流がトランジスタ17b、17cを通じて画素内部に流れる。画素内の電流経路はトランジスタ17aを通してEL電源線15aとつながっているのみであるため、トランジスタ17aにも1 $\mu$ Aの電流が流れ、蓄積容量14aにはこの時のゲート電圧分の電荷が蓄積される。非選択期間になると、トランジスタ17dが導通し、トランジスタ17b、17cは非導通となるため、選択期間で蓄積容量1

4aに蓄積された電荷に基づいてトランジスタ17aに流れる電流が規定され、EL素子16aに1 $\mu$ Aの電流が流れる。

【0022】このことからEL素子16aに所望の電流値（例えば1 $\mu$ A）を流すには選択期間において、トランジスタ17aが所望の電流値を流すようなゲート電圧を与えるよう蓄積容量14aに電荷を蓄えさせる必要がある。

【0023】しかしながら、ソース信号線11に浮遊容量20が存在すると、ソース信号線11の配線抵抗と浮遊容量20の時定数で決まる波形のなまりが観測される。電流値により階調表示を行う場合、この波形なまりはソース信号線に流れる電流値によっても異なり、電流値が小さいほど立ち上がり、立ち下がりに時間がかかる。例えば、配線容量が100pF、配線抵抗が500オームの時、電流源10の電流値を変化させた時にソース信号線の電流値及び接点1001の電流値が0.24 $\mu$ Aから40nAへ変化するのに必要な時間は300 $\mu$ 秒、40nAから0.24 $\mu$ Aへ変化するのに必要な時間は250 $\mu$ 秒であった。

【0024】低電流領域では単位時間あたりの電荷の移動量が少ないため、浮遊容量20にたまった電荷を充放電することが難しいのである。

【0025】例えば、図62に示すように、ゲート信号線(1)12のオン期間を64 $\mu$ 秒、256 $\mu$ 秒と変化させた時、256 $\mu$ 秒では入力電流に対し、ほぼ同一の出力電流が得られたのに対し、64 $\mu$ 秒においては、低電流（0.7 $\mu$ A以下）を中心に、入力に対し、出力電流が異なることがわかった。

【0026】このため、従来の電流による階調表示方法では、1水平走査期間の最小時間は300 $\mu$ 秒必要である。これでは、携帯電話のように走査線数が220本の場合、1フレームは10Hz程度で駆動させる必要があり、トランジスタ17のオフ特性によっては、蓄積容量14の電荷量が変化し、EL素子16に流れる電流が変化することによるフリッカが発生する。

【0027】また、ソース信号線に電圧値を印加する場合には、電圧値によらずソース信号線の配線抵抗と浮遊容量20の時定数のみで決まるため、接点1001の電圧値は1 $\mu$ 秒程度と電流源10により接点1001の電流値に対応する電圧値を決める時に比べ高速である。

【0028】そこで1水平走査期間を短くするために、本発明では電流波形の変化において、低電流（黒表示）から高電流（白表示）へ変化する時の方が、高電流（白表示）から低電流（黒表示）へ変化する時よりもはやいということを利用しようと考えた。

【0029】図3(a)に示すように、1水平走査期間の初めに電源切り替え手段19を電圧源18側に切り替え、この電圧源18を用いて、ソース信号線22aの電圧を黒信号電流値が流れている状態と同じ電圧にする

(ディスチャージ電圧印加期間24)。次に、電源切り替え手段19を電流源10側に切り替え、この電流源10により映像信号に応じた所望の電流値をソース信号線22aに流す(映像信号電流印加期間25)。

【0030】図4に入力電流に対する出力電流の電圧印加期間依存性を示す。入力電流が1 $\mu$ Aの時は電圧印加期間によらず、出力もほぼ1 $\mu$ Aである。入力電流が40nAと小さい場合(黒表示を想定)、電圧印加期間がないと出力は0.65 $\mu$ A、4 $\mu$ 秒以上で0.38 $\mu$ Aであり、4 $\mu$ 秒以上にしても出力に影響はない。従って、電流表示期間を長くしたいことから、ディスチャージ電圧印加期間24は最大でも4 $\mu$ 秒あればよく、望ましくは0.5 $\mu$ 秒から3 $\mu$ 秒あれば、ソース信号線が黒の電圧値になる。また、映像信号電流印加期間25も黒表示から所望の電流になるための時間は、最も時間のかかる黒表示から白表示に250 $\mu$ 秒程度であり、中間調表示においても前記白表示から黒表示に変化する時間よりも短く270 $\mu$ 秒程度であることから、1水平走査期間は270 $\mu$ 秒程度で済み、従来の300 $\mu$ 秒に比べて90%短縮でき、低フリッカの表示が可能となった。

【0031】更に、ディスチャージ電圧印加期間24において、0.01カンデラ/平方メートル以下の輝度となるような、ソース電圧を印加することで、黒表示時の輝度を低下させ、黒がしまる映像を表示することができる。例えば、EL電源線15から供給される電圧に近い電圧をソース信号線11に印加すればよい。電流駆動時においてソース信号線11にEL電源電圧に近い電圧を与えるには、微小電流(数nA)の供給が必要であり、数nA電流でのソース信号線電圧の規定にはこれまで述べたように数百 $\mu$ 秒から1m秒かかるため、困難である。このように、本発明における電圧挿入は、短時間で黒表示を行うために有効である。

【0032】なお、ある行(N行:Nは自然数)から次の行(M行:MはNでない自然数)へ走査行が移る際に、全ての行が非選択となる期間が存在する場合には、図3(b)に示すように、ゲート制御信号がアクティブ(全ての行が非選択状態)の時に、黒表示になる電圧値を印加し、選択期間には選択行に対応する映像信号電流をいれてよいし、更に図3(c)に示すように、黒電圧印加期間は全行非選択状態と、1行選択期間の一部にまたがってもよい。

【0033】黒電圧印加は、ソース信号線11の浮遊容量20に黒状態まで電荷を充電することが目的であるため、ソース信号線11につながる画素トランジスタが非導通状態であっても、導通状態であっても問題はない。

【0034】本来の階調表示に必要な電流書き込み時間を長くするため、全行非選択期間が存在する場合、電圧印加期間は、全行非選択期間を含むようにすることがよい。

【0035】また、電圧印加期間にソース信号線11に

印加する電圧は必ずしも黒を表示する電圧でなくてもよいが、電流源10により、所定の電流値に対応する電圧値まで変化させるのに、白表示に比べ黒表示の方が時間がかかるため、電圧源18の電圧値は白信号時電圧と黒信号時電圧の中間値より黒信号電圧値側の値であることが望ましい。

【0036】(実施の形態2)実施の形態1において、ディスチャージ電圧印加期間24を設け、黒信号を表示する電圧を印加することで、ソース信号線が黒を示す電流に容易に変化できるようにした。

【0037】これにより、黒および黒付近の階調は電圧変化量が小さくなったため、1水平走査期間が200 $\mu$ 秒から230 $\mu$ 秒で表示可能であった。また、白表示時は電流量が最大であるため、ソース信号線11に存在する浮遊容量20の電荷の放電速度が速く、変化量が大きいにもかかわらず1水平走査期間が180 $\mu$ 秒程度で、表示可能であった。一方で、白と黒の中間付近より黒よりの階調は、電流量も白表示時の半分以下なので、浮遊容量20の電荷放電速度が半分となるため1水平期間が250 $\mu$ 秒程度と最もかかる。

【0038】そこで、ディスチャージ電圧印加期間24において、黒信号を表示する電圧を印加するのではなく、次に表示する映像信号の階調に応じて、数段階の異なる電圧を印加することを考えた。

【0039】これを実現するための、本発明の表示装置のソースドライバ71の内部ブロックを図5に示す。階調データ検出手段52により入力映像信号の階調を検出し、その検出結果により、ソース信号用電流源53に流れる電流量を制御すると同時に、複数の電圧源54aから54cのうちの1つを選択する。また、水平同期信号によって電圧印加期間制御部51の出力を変化させ、電圧印加期間と電流印加期間を制御する。

【0040】図2において、ソース信号線11から信号を画素に書き込む場合、トランジスタ17b、17cが導通状態、トランジスタ17dが非導通状態であることからこの時の1画素分の等価回路を図6(a)に示す。

【0041】電流源125によって所定の電流Iをソース信号線124に流す場合、トランジスタ121にも電流量がIの電流が流れる。図6(a)でわかるように、トランジスタ121のソースまたはドレインとゲートは同一電位となるため、トランジスタ121のゲート電圧とドレイン電流が図6(b)に示すような関係にある場合、ソース信号線124の電位は、電流値により変化する。

【0042】例えば、ソース信号線124に流れる電流がI1からI2に変化する場合、ソース信号線124の電位はVdd-V1からVdd-V2に変化する。また、電流がI1からI3に変化する場合についても同様である。

【0043】電流値変化に要する時間は図6(c)に示

すように、変化後の電流値により異なり、11から12へは126の実線で示すように $t_4 - t_1$ 時間かかり、127の点線で示すように11から13へは $t_3 - t_1$ 時間かかり、電流値が小さいほど変化に時間がかかることがわかる。これは、ソース信号線124にある浮遊容量123の充放電を低電流を用いて行くと、時間がかかるためである。

【0044】そこで、低電流領域（黒に近い階調）では変化に時間がかかることを考慮し、表示階調ごともしくは複数の表示階調ごとに異なる電圧値を印加するようにして、変化量を少なくし、書き込み時間の短縮を図った。

【0045】例えば、16階調表示の場合は階調1、2、4に対応する電圧を準備し、階調1では対応する電圧を電圧印加期間に印加し、階調2、3では階調2に対応する電圧を印加し、階調4以上の場合では階調4に対応する電圧を印加することで、書き込みに必要な時間、特に時間がかかった低電流領域での書き込み時間が短縮でき、1水平走査期間は表示階調によらず220μ秒あればよい。

【0046】他の階調数の場合でも同様に、図5の複数の電圧源で印加する電圧値はそれぞれ、階調表現に必要な最大電圧値と最小電圧値から電圧源54の数で等間隔に割り振った電圧値よりも、低電流領域より、電圧値を設定する方がよい。

【0047】また、用意する電源数はソース信号線124の取り得る電圧振幅にもよるが、ソースドライバの回路規模増大と、電源数増加による画質改善の兼ね合いから多くても5つ程度が望ましい。

【0048】（実施の形態3）電流により階調制御を行う表示デバイスとして、有機発光素子が挙げられる。有機発光素子を用いたマルチカラー表示装置を実現する方法のひとつとして、赤色発光素子、緑色発光素子、青色発光素子を並べてマルチカラー化する方法がある。

【0049】発光色ごとに発光効率および、有機層中のキャリアの移動度、電極から有機層へのエネルギー差が異なることから、電流と輝度、電圧と輝度、電流と電圧の関係は発光色ごとに異なる。例えば、図63(a)に示すように、同一電圧値に対して、輝度が異なり、その結果、発光開始電圧も素子GがV1に対し、素子RがV2と異なる値をとる。また、図63(b)に示すように発光開始電流も異なる。

【0050】実施の形態1においては電圧印加期間での電圧値は1種類であった。この形態において、図63に示す2種類の素子GとRで構成された表示装置に同一電圧値で電圧印加を行うと、素子Rの黒表示電流値であるJ2に対応する電圧を全てのソース信号線に印加した場合、素子Gにつながるソース信号線では黒表示に対応する電位とならず、最も時間のかかる黒表示に対し、ソース信号線の電位を変化させる必要が出てくる。逆に、J

1に対応する電圧をソース信号線に印加した場合、素子Rに対しては、黒表示電圧値よりも高い電圧値が印加され、電圧印加期間が存在しない場合に比べ、ソース信号の電圧振幅が大きくなるという問題がある。

【0051】そこで、ソース信号線により発光開始電流値が異なる素子が形成されている場合、少なくとも発光開始電流値が異なる素子が形成されたソース信号線ごとに、異なる電圧源を設け、黒信号電圧を調整できるようにすればよい。図63のR、G素子で形成された表示装置の場合は、図7の構成での電圧源54を2つ用意し、素子Rが並ぶソース信号線と素子Gが並ぶソース信号線でそれぞれ異なる電圧源を設ける。

【0052】また、更に書き込み時間を短縮するためには、実施の形態2で行ったようにそれぞれの信号線に対し、更に複数の電圧源を用意し、階調に応じて印加電圧値を変化させればよい。

【0053】（実施の形態4）フレーム周波数が早くなればなるほど1水平走査期間が短くなるため、周波数が早い場合は、実施の形態2で実施した複数の電圧源の電圧値は書き込みに時間がかかる黒表示付近に対応する電圧値を中心に用意する。一方、フレーム周波数をゆっくりとすると、電圧変化に要する時間を長く取れることから、電圧値の取り方を白表示側にシフトさせてもよい。これにより、白表示時の輝度を向上させることが可能であり、コントラストの向上につながる。

【0054】携帯情報端末など、低電力駆動が要求される表示装置では、図8に示すボタン184操作時には全画面を表示するが、待ち受け時などボタン184が長時間操作されない場合には、一部分のみ表示を行うパーシャル表示モードにして低電力化を図ることもある。このパーシャル表示モード時には表示ライン数が少なくなるためフレーム周波数を下げることもでき、全画面表示時と異なる発振周波数を用いて回路を動作させることが可能である。

【0055】図9に複数の発振器と切り替え回路、分周回路を持ち、複数フレーム周波数に対応した表示装置のコントローラ、ソースドライバ部のブロック図を示す。階調表示はメモリ86から読み出されたデータを階調制御部87で電流源90の制御もしくは選択によりセクタ88を介してソース信号線に出力することで行う。印加電圧の電圧値は電圧制御手段85と電圧発生部89により決められ、更に電圧制御手段85は発振周波数検出手段83の出力を受け、周波数により電圧値を変更することが可能である。これにより、フレーム周波数の違いにより電圧印加期間の複数の電圧源の電圧値を変更し、最適な階調表示を行うことが可能となる。

【0056】携帯情報端末の他にも、例えばテレビとして用いた場合、映像信号送信方式が異なると、フレームレートも異なる。両方式に対応した表示装置を作成する場合、図10に示したテレビにおいて、映像信号処理回

路44により送信方式を検出し、複数の電圧源の電圧値の組み合わせを変化させることで、最適な階調表示を行うことが可能である。

【0057】(実施の形態5) 実施の形態1で行った黒電圧印加は、図2のトランジスタ17aの電流対電圧特性を用いて、黒表示時の電流値に対応する電圧値を印加していた。しかし、同一電流に対する電圧値がロット間、基板の位置により変化する可能性があるため、最適な黒電圧値を印加するためには表示装置ごとに入力電圧値を調整する必要がある。

【0058】表示装置ごとに調整することは製造工程を複雑にするため、望ましくない。そこで、電圧値のばらつきが、ロット間にくらべ、表示装置内の画素間では小さいことから、少なくとも表示装置内に1つのテスト用トランジスタを作成し、トランジスタに黒表示時の電流を流した時に必要なトランジスタのゲート電圧を検出し、その結果に応じた電圧値をソース信号線に印加することを考えた。回路構成を図11に示す。

【0059】ソース信号線100には黒信号を表す電流値を流す。この時、トランジスタ98のドレインにも同一電流値が流れ、接点99と、EL電源線96との電位差を電圧検出手段91で検出し、その検出結果を電圧発生手段92に入力し、図2の電圧源18に対応する電圧値を変化させる。セレクタ93により電圧印加期間と電流期間を制御する。

【0060】この方法では、駆動トランジスタの電流対電圧特性がロット間でばらついても常に黒表示の電圧を印加させることができるため、トランジスタの作成ばらつきによる黒浮きを防止することが可能である。

【0061】なお、ソース信号線100に様々な階調に対応する電流値を流すことで、その時の電圧を電圧検出手段91で検出でき、電圧発生手段92及びセレクタ93を用いてソース信号線に印加することが可能であることから、本発明は必ずしも黒信号印加時のみに限定されるものではなく、一般にある階調に対応する電圧を印加する場合にも適応可能である。

【0062】(実施の形態6) ソース信号の電流値の変化は、変化後の電流値が大きくなるほど早くなる。図6(c)に示すように、電流I1からI2もしくはI3に変化する場合、電流値が大きいI3への変化の方が短時間で変化する。これは電流源125によりソース信号線の浮遊容量123の電荷を引き抜きもしくは蓄積することで電流値を変化させることから、たくさんの電荷を流すことが可能な高電流領域の方が早く変化するためである。

【0063】そこで、電流をたくさん流すと波形の立ち上がり時間が短くなることを利用して、図12に示す1水平走査期間の内の初めからある期間133まで、表示階調に対する所定の電流値の3倍以上10倍以下の電流値を流す。その後の期間135において所定の電流値を

流す。これにより、従来は131(点線)のように電流値が変化したのに対し、132(実線)のように立ち上がりを早くすることができる。これにより、書き込み時間が短縮し、1水平走査期間134を短くすることが可能となり、230μ秒で書き込みが可能となった。この方法は、実施の形態1から5と異なって電圧源、電圧発生部、セレクタが不要になるため、回路規模が小さいソースドライバを実現することができる。

【0064】黒表示時は電流を3から10倍すると書き込み速度を早くすることが可能であるが、電流が増加すると輝度が大きくなるため、電流値を10倍にした場合、黒浮きが発生する場合がある。また、前走査期間でのソース電流値に比べ、次の走査期間でのソース電流値が小さくなる場合、輝度が高くなるため、書き込み速度が速くなくても、コントラストが低下する問題が出る恐れがある。

【0065】そこで、図13に示すように、1水平走査期間の初めに実施の形態1から5と同様に黒信号電圧挿入期間144を設け、その後、3倍以上10倍以下の電流値を流す期間145、階調に応じた電流値を流す期間146を設ける。

【0066】電流値が小さい場合から大きい場合に変化する時、3倍以上10倍以下の電流値を流す期間145aにより、従来の立ち上がり141(点線)に比べ、142(実線)に示すように早く変化することができる。

【0067】電流値が大きい場合から小さい場合に変化する時、黒信号電圧挿入期間144により瞬時(少なくとも4μ秒以内)で黒状態に変化することができるため、立ち下がりも早く変化させることが可能となる。

【0068】このような波形を実現するための回路構成を図7に示す。実施の形態1とほぼ同一構成で実現可能であり、水平走査期間の中で階調データ検出手段52の出力を変化させることで、所定電流の3倍以上10倍以下の期間と、所定電流値を流す期間を作ることができる。これにより、1水平走査期間が150μ秒で走査することが可能となった。

【0069】(実施の形態7) 実施の形態6により、例えば走査線数が220本の表示装置であれば、フレーム周波数が30Hzで動作可能となった。これにより、フリッカの少ない表示が可能となった。しかし、テレビのようにフレーム周波数が60Hzのものに適用させる場合、書き込み不足による黒表示時の輝度増大、白表示時の輝度低下が発生する。

【0070】さらに、書き込み時間を早くする方法として図14、図15に示す方法を考えた。図15に示すように、1水平走査期間の初めにソース信号線に階調に応じた電圧値を印加する(電圧値に応じた階調表示114)。この時の電圧変化の速度はソース信号線の配線抵抗と、浮遊容量から決まる時定数により決まるため、2μ秒以下である。図2の画素構成において、この



ままEL素子16に電流を流そうとすると、トランジスタ17aもしくは17eのゲート電圧とドレイン電流の関係が画素ごとに変化した場合に、電流値が変化量と同じだけ変化し、EL素子16の輝度が変化することで表示むらが発生する。そこで、残りの期間115に、ソース信号線に電流値に応じた電流を流すことで、トランジスタ17aもしくは17eのゲート電圧を、所定のドレイン電流が流れるように変化させる。これにより、トランジスタの電流電圧特性のばらつきを補正し、表示むらのない表示装置を実現する。

【0071】この時の回路構成が図14であり、ソース信号線ごとに設けられた階調データ検出手段52により、ソース信号用電流源53、電圧源104を制御し、階調ごとに電流量または電圧値を変化させる。これにより、114、115の期間で表示階調ごとに電圧、電流値を変化させ、さらに、ソース信号用電流源53と電圧源104のどちらをソース信号線とつなげるかを定める切り替え手段106を水平同期信号により制御される電圧印加期間制御部51により制御することで、水平走査期間113内で期間114と期間115の長さを可変させることができる。

【0072】書き込み時間においても電流に応じて階調表示を行う期間で電流が変化する量は、せいぜいトランジスタの電流電圧特性のばらつきの範囲内であるため、50 $\mu$ 秒程度で済む。

【0073】電圧印加期間は多くても3 $\mu$ 秒あればよく、電流書き込み時間が20 $\mu$ 秒程度で済むため、走査線数が220本の場合は60Hzでの駆動が可能であり、フリッカレス駆動が実現できた。

【0074】従って、マージンを考慮するとフレーム周波数により、電圧印加期間を1水平走査期間の1%以上50%以下にすることが望ましい。

【0075】(実施の形態8)図16は本発明によるソースドライバ部出力段を示したものである。263はXビットの映像信号をアナログ信号に変換するデジタルアナログコンバータであり、264はアナログ電圧出力の最大値を決めるリファレンス電圧線である。本発明ではリファレンス電圧生成部261により生成された複数の電圧値を選択部262によりクロック及び水平同期信号267に応じて1つ選択することでリファレンス電圧線264に印加する電圧値を変化できるようにしたことが特徴である。

【0076】図17に入力映像信号が8ビットの場合のタイミングチャートを示す。必要となる最大輝度に対応するソース信号線265の電圧値がV1であるとする。図17中の電圧V2はV1の3倍以上10倍以下の電圧を印加すればよい。また、リファレンス電圧にV2を印加する期間は水平走査期間のうちの5分の1以上2分の1以下であればよい。また、このソース信号線電圧により階調表現を行う場合は更に短く、1 $\mu$ 秒以上5 $\mu$ 秒

以下であればよい。

【0077】このリファレンス電圧の操作により入力映像信号データがFFの場合、ソース信号線への出力は初めにV2の電圧が出力され、その後リファレンス電圧の変化によりV1を出力する。入力データが00の場合は、ソース信号線への出力は常に0の電圧が印加される。また、その間の値においてはリファレンス電圧値がV2の時は所定出力電圧の3倍以上10倍以下の電圧が、V1の時は所定電圧値が出力される。

10 【0078】このようにソース信号線電圧を制御することにより、図61のような構成の表示装置においてソース信号線76の浮遊容量による波形なまりを小さくすることができ、2型程度の大きさのパネルであれば、1ラインあたりの書き込み時間は150 $\mu$ 秒程度で駆動させることができる。

【0079】(実施の形態9)図18は本発明の第9の実施の形態における1画素分の回路とソース信号線及び階調表示を行う電流源を示した図である。

20 【0080】図19にタイミングチャートを示す。ゲート信号線(1)12は行選択期間に導通状態(ここでは図18のトランジスタ17がPチャネルトランジスタであるためローレベルで導通となる)となり、ゲート信号線(2)13は非選択期間時に導通状態とする。

30 【0081】これにより、行選択期間にはトランジスタ17b、17c、17jが導通、トランジスタ17dが非導通状態になり、等価的には図20(a)に示すような回路となり、EL電源線15からソース信号線11へはトランジスタ17a及び17iを通して流れ、トランジスタ17aを流れる電流Ia及びトランジスタ17iを流れる電流Iiの和Iinがソース信号線11に流れる。また、蓄積容量14にはトランジスタ17a及び17iに流れる電流値の和がIinとなるようなゲート電圧になるように電荷が蓄積される。

40 【0082】非選択期間には逆にトランジスタ17dが導通、トランジスタ17b、17c、17jが非導通状態になるため、図20(b)のような等価回路となり、EL電源線15からEL素子16へトランジスタ17aを通して電流が流れる。電流量は蓄積容量14に蓄えられた電荷量により決められ、選択期間で保持した電荷に対応した電流が流れる。つまり、トランジスタ17aには非選択期間に電流Iaが流れ、EL素子16にも電流Iaが流れる。

【0083】ソース信号線に流す電流Iin=Ia+Iiに対し、EL素子に流れる電流がIaとなることから、電流値Iiを調整することでEL素子の輝度を変えずにソース信号線に流す電流値を増加させることができ、ソース信号線11に存在する浮遊容量20の電荷の充放電が早くなることで、従来に比べ短い時間でソース信号線に流れる電流値が所定の値となる。

50 【0084】ここで、電流IaとIiの関係はトランジ

スタ17aと17iのチャネル幅、チャネル長により調整が可能である。図21に2つのトランジスタのチャネルサイズとソース信号線11に流す電流を決める電流源10の電流値とEL素子16に流れる電流値の関係を示す。

【0085】トランジスタ17iのチャネルサイズをトランジスタ17aと同じにした場合、EL素子16に流れる電流はソース信号線11に流れる電流の半分となる。ソース信号線に流れる電流は図20(a)に示すように、17a、17iの両方のトランジスタに流れる。製膜プロセスによるばらつきを無視すれば2つのトランジスタのゲート電圧対ソースドレイン間電流特性は同じであり、またゲートには同一電圧がかかるため、それぞれのトランジスタには均等に電流が流れる。EL素子に流れる電流はこのうちのトランジスタ17aを通る電流のみであるため、ソース信号線11に流れる電流の半分となる。

【0086】トランジスタ17iのチャネル幅、チャネル長を変化させると、ゲート電圧対ソースドレイン間電流の特性が変化し、チャネル幅を広ぐするかチャネル長を短くすると、トランジスタ17iに電流が流れやすくなるため、ソース信号線11に流れる電流に対するEL素子16に流れる電流の割合を小さくすることができ、図21には一例として、トランジスタ17aに比べチャネル幅を9倍にした場合、チャネル幅を3倍にしてチャネル長を3分の1にした場合について示している。いずれもソース信号線11に流れる電流に対し、EL素子16に流れる電流は10分の1となる。

【0087】ソース信号線の電流値変化に要する時間 $t$ は、浮遊容量の大きさを $C$ 、ソース信号線の電圧を $V$ 、ソース信号線に流れる電流を $I$ とすると、 $t = C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできることを示す。これにより、走査線数が220本の場合にフレーム周波数60Hzで駆動させることが可能である。

【0088】(実施の形態10) 実施の形態9において、ソース信号線に流す電流値を10倍することで所定電流に変化するまでの時間を短くしたが、黒表示時には理想的には電流0であるが、実際にはトランジスタのリーク電流および電流源を構成するトランジスタのリークにより数十nA程度流れるが、黒浮きを防ぐためには電流値は小さい方がよく、電流値を大きくすることで変化速度を早くする方法ではコントラストの低下を招きやすい。

【0089】そこで、図22に示すように、ソース信号線11に電源切り替え手段19を設け、電流源10もしくは電圧源18の出力をソース信号線に印加するようにし、電圧源18はトランジスタ17aを流れる電流が数十nA程度になるようなソース信号線電圧を印加する。電源切り替え手段19は水平走査期間の初めに1以上5

$\mu$ 秒程度電圧源18を選択し、残りの期間は電流源10を選択する。図3(a)に示すように、ソース信号線11にはディスチャージ電圧印加期間と映像信号電流印加期間が存在し、水平走査期間の初めには必ずソース信号線が黒表示を表す電圧値が印加される。この操作により黒表示時に微点灯するという現象をなくすることが可能となる。

【0090】一方、黒以外の各階調については、電流印加期間に流れる電流値が大きいほどしやすいことから、最も変化に時間がかかる階調は黒の1つ上の階調である。これは電流変化に要する時間 $t$ は $t = C V / I$

( $C$ : ソース信号線に存在する浮遊容量、 $V$ : ソース信号線電圧、 $I$ : ソース信号線に流れる電流)で表わされ、 $C$ は階調によらず一定で表示装置の大きさにより決まる、 $V$ はPチャネルトランジスタを用いた場合、黒信号になるほど大きくなり、更に $I$ は黒信号になるほど小さくなるため、黒の階調に近づくほど電流変化に要する時間がかかるためである。ここでは説明のため、黒を示す階調を階調0、次に輝度の高い階調を階調1、以下輝度が高くなるにつれ、階調値を1つつ大きくすることとする。

【0091】図3に示すように、水平走査期間の初めに黒電圧を印加した場合、前ラインで表示される映像信号に関わらず常に階調0の期間が存在し、同一水平走査期間内に所定階調を示す電流値まで変化できれば、所定階調が表示可能である。

【0092】最も変化に時間がかかるのは階調1表示の場合であり、1水平走査期間内に階調0から階調1に変化できれば、全ての階調が表示可能である。

【0093】図23に図2に示す画素構成の場合(a)と図22に示す画素構成の場合(b)(EL素子16を流れる電流値に対してソース信号線11を流れる電流値が10倍となるようなトランジスタ17a、17iの組み合わせとした)で水平走査期間を75 $\mu$ 秒とし、階調1を表示させてソース信号線の容量を変化させた時に、EL素子16を流れる電流が所定電流に対しどれだけ流れるかを示した図である。100%の場合、所定電流値まで変化できたことを示し、それ以下の場合、変化に要する時間が75 $\mu$ 秒よりも遅いことを示し、所定階調表示が行えないことを示す。

【0094】所定電流値(輝度)に対し10%程度のずれは目で確認できないことから実用上は90%以上100%以下であればよい。この条件で許容できるソース信号線容量は図2の画素構成では2pF以下のみ動作するが、図22に示す画素構成では27pF以下で動作可能である。2型程度の表示装置であれば、ソース信号線に寄生する容量はドライバICの出力段を含め15から20pF程度であり、ソース信号線の電流値を10倍にした本実施の形態10を用いることでフレーム周波数65Hz以下で駆動することが可能であり、フリッカの少な

い表示が可能である。また、テレビなどにも適用できる。

【0095】ソース信号線11に寄生する容量は表示装置の大きさによって変化する。15型にすると50pF程度となる。この場合はソース信号線電流をEL電流の10倍にして書き込んだとしても70%程度しか書き込むことができないため、走査ライン数が等しい場合、例えばチャンネルサイズの比を15倍に増加させることで60Hz駆動が可能となることがわかった。

【0096】このように、本発明の形態10によれば、表示装置の大きさによって駆動トランジスタ17aと17iのチャンネル領域の大きさを変化させることで、所定の水平走査期間内に所定電流値を書き込むことが可能となる。

【0097】（実施の形態11）実施の形態10において、水平走査期間が黒信号電圧印加期間と所定電流値の数倍の電流値を流す期間となっている場合に、ソース信号線の容量が20pFであっても60Hzで駆動することを実現した。

【0098】図22のトランジスタ17a及び17iのゲート閾値電圧のパネル内でのばらつきにより、黒電圧印加に対するEL素子16に流れる電流値は異なり、閾値電圧が低い場合、電流が多く流れるため黒が浮くという問題が発生する。

【0099】この問題を解決するためにはパネル内でのトランジスタのゲート閾値電圧のばらつきを考慮し、最も多く電流が流れるトランジスタを用いても黒表示となる輝度となるように、黒電圧を高めに印加すればよいが、この場合、最も多く電流が流れるトランジスタを用いた画素では階調0から階調1への電流値の変化量が大きくなり、所定電流値への変化に要する時間が長くなる。その結果として、例えば黒電圧を0.5V高めにした場合、階調0から階調1への変化に対し、水平走査期間75μ秒で書き込めるのに許容されるソース信号線容量値は2pF程度となる。

【0100】実施の形態10のように、トランジスタ17aと17iのチャンネル領域の大きさの比を変化させてもよいが、本実施の形態11では階調0以外の階調の電流値を増加させることで許容される容量値を大きくすることを考えた。各階調に対応する電流値を供給する電流源を用意し、更に大きな電流を流す複数個(α個)の電流源を用意する。図22ではαが4の場合を示し、階調0に対してはこれまでと同様に電流源0を用い、階調1に対しては電流源1ではなく電流源5を用いる。階調2には電流源6、以下順に階調iに対して電流源(i+4)を用いる。

【0101】これにより、各階調表示時にソース信号線に流れる電流が増加するため電流値の変化が早くなる。図24に階調1に対し電流源1を用いた場合(a)、電流源5を用いた場合(b)のソース信号線容量に対する

75μ秒で所定電流値に書き込みができるかどうかを示す。実施の形態10においては2pF以下でない階調表現ができなかったが、本実施の形態11においては20pF以下まで書き込みすることができる。

【0102】また、この手法は電圧印加期間と併用しない場合でも、各階調の電流値が増加することから書き込み時間の短縮ができる。

【0103】なお、電流源の数においても階調数+α個必要というわけではなく、階調表示に必要なα個の電流源はなくてもよい。上記実施の形態11においては電流源1から電流源4の4つの電流源は必要な構成要件ではない。

【0104】（実施の形態12）電流値により階調表示を行う場合、各階調に対応する電流値をソース信号線に流す方法として、各階調に対応した電流を流す電流源を少なくとも階調数分用意し、入力データに応じて1つを選択し出力する方法がある。

【0105】この方法では階調数が増加すると必要な電流源の数も増加し、ソースドライバの面積が増大する。

【0106】階調kにおいて電流値がIkであり、階調Lにおいて電流値がILであり、 $IL = Ik \times 2$ であるとする、従来出力電流値がIkとILである2つの電流源が必要である。

【0107】図18のように1画素に対してトランジスタ17を形成すると、17aと17iのトランジスタのチャンネル領域の大きさの比を変化させると、同一のソース信号線11電流に対しEL素子16に流れる電流値が変化し、図21に示すような関係となる。

【0108】ここでトランジスタ17jに注目し、トランジスタ17aと17iのチャンネルサイズが同一であるとした場合に、階調Lの場合は常に非導通状態とし、階調kの場合はゲート信号線(1)12と同一動作を行うとすると、階調L表示時には17iのトランジスタがないのと同じであるためソース信号線11に流れた電流がそのままEL素子16に流れる。この時のソース信号線電流値はILである。

【0109】一方、階調k表示時にはソース信号線11に流れる電流値に対し、EL素子16を流れる電流は半分となる。従って、EL素子16に必要な電流Ikを流すためにはソース信号線には $Ik \times 2$ の電流量が必要となる。

【0110】この方法を用いれば、 $IL = Ik \times 2$ であることから、階調kと階調Lで同一電流値ILを用いることができるため、必要な電流源の数を減らすことが可能である。階調0～Pまではトランジスタ17jを動作させ、階調P+1以上では常に非導通状態にすることで、各階調に対するソース信号線11を流れる電流は図25の実線(252、253、254)で示すように変化する。電流値Ip+1以上では、2つの階調に対して同一の電流値となることがあり、必要な電流源の数を減

らすことが可能となり、ソースドライバのチップ面積を小さくすることが可能である。

【0111】また、従来例(図25の点線251)に比べてソース信号線11に流れる電流値の最低値が大きくなるため、ソース信号線11に寄生する浮遊容量による波形なまりの影響を小さくすることができ、より短い水平走査期間で書き込みが可能である。

【0112】実施の形態10で行ったように、全ての階調においてソース信号線電流を数倍にして書き込みを行う場合に比べても、低輝度領域に比べ十分に書き込みを行える階調においては、ソース信号線に流す電流のEL電流に対する倍率を低下させても、階調1表示時よりも大きい電流値であれば、書き込み時間が不足することはなく、同一水平走査期間で書き込みが可能である。むしろ、ソース信号線11に流す電流値を下げることで低消費電力駆動が可能という利点がある。

【0113】以上の説明ではトランジスタ17aと17iのチャンネルサイズを同一として電流値を2倍にした例で説明を行ったが、階調とソース信号線に流れる電流値の関係によって、3倍、10倍など、倍率を調整し、図25の実線252と254のように同一ソース電流値に対し、2つの階調が入るように変更することで同様な効果が得られる。従来例で示した点線の傾きが大きいほど倍率を大きくすることが望ましい。また、傾きが大きい場合、階調0から階調Pまでを4倍、階調P+1からQまでを2倍、階調Q+1以上で1倍とするなど、複数の倍率を2つ以上組み合わせる用いてもよい。

【0114】このような動作を行うためには従来の図18のトランジスタ17jに対し、入力階調に応じて少なくとも2つの異なる動作をさせる必要がある。そのため図26のように、倍率変更手段343を設け、その出力とゲート信号線(1)345と論理積をとり、トランジスタ17jのゲートへ入力する。この図26において、倍率変更手段343はトランジスタ17jがPチャンネルであるため階調P以下ではハイレベルを出力し、階調P+1以上ではローレベルを出力することで、階調P+1以上ではトランジスタ17jが常に非導通状態となってソース信号線電流=EL素子電流となり、階調P以下ではトランジスタ17jと17aのチャンネルサイズの比で異なる倍率の電流値を流すようにすることが可能である。

【0115】ソース信号線11に流す電流は複数の電流源344のうち入力映像信号341により電流切り替え手段342にて1つを選択し、電源切り替え手段19が電流源を選択した時に所定の電流を流すようにする。この図26では階調0表示時に黒浮きを防ぐために電圧源18を用いた構成としているが、電圧源18のあるなしにかかわらず、電流源344の数を減らすという本発明の効果には影響しないため、なくてもよい。

【0116】(実施の形態13)電流値が最も低い場合

に黒表示を行う表示素子において、水平走査期間の初めに黒をあらわす電圧をソース信号線に印加し、黒表示時における輝度上昇による黒浮きを防ぐ場合は、水平走査期間内に黒状態から所定電流値に変化できるか確認することで、書き込み不足が起こっているかどうか判断できる。

【0117】図27は黒信号状態にあるソース信号線に対し、あるソース信号線容量の値の場合にソース信号線に流れる電流とその電流値に変化するのに要する時間の関係を示したものである。ソース電流値が小さいほど、変化に要する時間が長くなる。これは変化に要する時間を $t$ 、ソース信号線容量を $C$ 、ソース電流値を $I$ 、ソース信号電圧を $V$ とすると、 $t = CV/I$ で表されるため $I$ が小さいと $t$ が大きくなるためである。更に、図2に示すように駆動トランジスタ17aがPチャネルトランジスタである場合、ソース信号電流が大きくなるにつれ、ソース信号電圧が低下する。低下割合はトランジスタ17aのゲート電圧とソースドレイン間電流の関係により決まる。これにより、電流 $I$ が小さくなると電圧 $V$ は大きくなるため、所定電流まで変化するのに必要な時間は電流減少の割合に比べ急速に長くなる。そのため、図27のようなカーブを描くことになる。

【0118】図28に異なる3つの電流をソース信号線に流した場合に所定電流に対する割合の時間的変化を示す。ここで3つの電流 $I_1$ 、 $I_2$ 、 $I_3$ において、 $I_1 < I_2 < I_3$ という関係があるとすると、時間 $t_1$ 後には $I_3$ では95%、 $I_2$ では88%、 $I_1$ では80%程度まで変化している。

【0119】図29に65 $\mu$ 秒後に各ソース電流値入力に対して所定電流値のうちの何割まで変化できたかを示す(ソース信号線容量は40pF)。書き込み割合は指数関数的に増加することがわかる。

【0120】このような状態において、1水平走査期間を65 $\mu$ 秒としてEL電流(出力電流)を測定すると、図30のようにソース信号線電流(入力電流)に対し、比例関係とはならず、低電流ほど出力電流が所定値より小さくなる割合が多くなり、入力電流に対し等間隔で階調を設定した場合、得られる輝度(出力電流に比例)はガンマ補正がかかったように黒に近い階調では緩やかに変化し、白になるにつれ変化量が大きくなる。

【0121】このように全ての階調において、所定の輝度で書き込むように書き込み時間を用意しなくてもよく、各階調の電流値が等間隔である場合、図30のように輝度は緩やかに指数関数的に増加するため、全階調をランプ表示した場合に、入力信号強度対輝度が2.2乗に比例するガンマ曲線に近づき、表示品位を向上させることができる。

【0122】図31は書き込み時間を変化させるための機能を設けたゲートドライバの構成を示したものである。ゲートイネーブルパルス生成部412を設け、イネ

10

20

30

40

50

ープルパルスが出力されたときは図2に示すゲート信号線(1)のトランジスタ17c、17g(ソース信号線と駆動トランジスタの経路上にあるトランジスタ)は全ての行において非導通状態とすることで、書き込み時間を短くすることができる。この方法以外にもフレーム周波数を変化させてもよいし、フレーム毎にブランキング期間を設けて、書き込み時間を調整する方法でもよい。

【0123】図10に本発明の実施の形態を用いたテレビを示している。調整手段42により図31のゲートイネーブルパルス生成部412を変化させ、イネーブルパルス幅を変化させることでガンマ特性を調整する機能を有している。

【0124】また、外部切り替え手段413を設け、切り替えによりゲートイネーブルパルスのパルス幅を変更させるようにして、ガンマ曲線調整機能を設けてもよい。

【0125】(実施の形態14)図31でイネーブルパルス幅を大きくすると、書き込み時間が短くなり、所定電流値に対し、書き込まれる電流値が小さくなる。例えば、図28において、ソース信号線に電流値I3を流し、ゲート信号線(1)の導通期間をt2とすると、所定電流値に対し50%となり、輝度は半減する。逆に、電流値をあらかじめ所定輝度に対し大きい値をソース信号線に流し、ソース信号線が黒状態から所定輝度に達した時間でソース信号線に接続されたトランジスタを非導通状態とすることで、表示素子に流れる電流に対し、ソース信号線電流を大きくして変化に要する時間を早くすることができた。

【0126】(実施の形態15)ソース信号線に流れる電流量をEL素子に流れる電流量に比べ大きくする方法として、図32のような1画素の構成が考えられる。

【0127】これまでの発明と異なる点は、表示階調に対応して流す電流Ieを数倍(3~20倍程度)とするのではなく、最低電流値の値を従来の数倍程度とし、以降階調増加分は従来と同様の増加量とすることである。つまり、ソース信号線に流れる電流Isは表示階調に対応した電流Ieとバイアス電流Ibとの和になる。ここでバイアス電流Ibは電流Ieの最小値の3倍以上20倍以下の値をとる。

【0128】本構成では1画素あたりのトランジスタの数が4つであり、他の発明の形態と異なり、トランジスタの数を増加させることなくソース信号線電流値を増加させることができる点で有利である。

【0129】本実施の形態15の画素構成における動作を図32及び図33を用いて説明する。ソース信号線から画素に信号を書き込む時には図33(a)に示すように、ゲート信号線(1)422はトランジスタを導通状態とし、バイアス制御線428はトランジスタを非導通状態とするため駆動用トランジスタ421aにはソース信号線420に流れる電流量と同じIe+Ibの電流が

流れる。

【0130】EL素子16を発光させる期間では図33(b)に示すように、トランジスタ421b、421c、421fが動作する。

【0131】図33における(a)と(b)の期間は図34のタイミングチャートで示すように、ある行の画素で見ると、(a)の期間は1フレームのうち1/(走査行数)以下の期間であり、(b)の期間はその残りの期間である。行ごとに(a)の期間はフレーム内で重ならないように配置される。

【0132】図33における(b)の期間では、駆動トランジスタ421aを流れる電流は(a)の期間で蓄積容量426で記憶された電荷に対応したIe+Ibである。そのうち、電流源429の電流値がバイアス電流Ibであるとする、EL素子427には電流Ieが流れ、階調に応じた電流をEL素子に流すことが可能となる。

【0133】ソース信号線に流れる電流値が最も小さい時とは電流Ieが最小値の場合であり、バイアス電流Ibにはこのときに期間(a)の間で電流値が所定電流に十分変化できるくらいの値を設定すればよく、ソース信号線容量が20pF程度であれば、電流Ieの最小値の8から10倍程度あれば動作できる。これにより1水平走査期間が75μ秒で駆動が可能となる。

【0134】図32の構成では、ソース信号線の電流を画素にとりこむ際に、図33(a)に示すように、EL素子427には電流源429により逆方向電流(逆バイアス電流)Ibが流れるため、EL素子427が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。図35に陽極/正孔輸送層/発光層/電子輸送層/陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図35(a)で表わされる。電子は陰極450より電子輸送層451に注入されると同時に正孔も陽極454から正孔輸送層453に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差により455のようにキャリアが蓄積されたりする。

【0135】有機層中(電子輸送層451、発光層452、正孔輸送層453)に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている(Applied Physics Letters, Vol.69, No.15, P.2160~2162, 1996)。これを防ぐためにデバイス構造を変えたり逆方向電圧を印加しているのである。

【0136】期間(b)においては逆方向電流が印加さ

れるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0137】なお、図35では3層型素子について説明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様であるため、層の数によらず本実施の形態15により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0138】本発明での特徴はこのように、有機分子の劣化を防ぐ機能を持たせ、かつソース信号線に寄生する浮遊容量による波形なまりを防ぐためのバイアス電流を流す機能を持たせても、図2に示す構成と比べて各画素に必要なトランジスタ数を増加させることなく表示が可能であるということである。つまり、逆方向電流を流すためのトランジスタの数を増やさなくてもよいということが、表示装置の各画素の開口率を下げなくて済むため利点となる。

【0139】なお、ゲート信号線(1)422及びバイアス制御線428はそれぞれ図2のゲート信号線(1)12及びゲート信号線(2)13と同一操作で動作させればよく、逆方向電流印加のためにゲートドライバの機能を増やさなくてもよいという利点もある。

【0140】(実施の形態16)図36は本発明の第16の実施の形態を示したものである。EL素子467及び負荷468に駆動用トランジスタ461aから流れる電流を流し、負荷及びEL素子の抵抗値の比により、駆動用トランジスタ461aに流れる電流に対するEL素子に流れる電流の比を変化させることができる。

【0141】また、ゲート信号線(3)464の電圧を変化させ、トランジスタ461eの抵抗値を変化させることで、EL素子に流れる電流の比を変化させてもよい。

【0142】例えば、負荷468をEL素子467と同様にダイオード特性の負荷として、抵抗の比をある値に設定することで、ソース信号線460に流れる電流値に対し、EL素子に流れる電流値を変化させることができる。例えば、負荷468の抵抗とEL素子467の抵抗の比が1対9であるならば、ソース信号線電流はEL素子に流れる電流の10倍必要となる。これにより、図23(b)で示したように、従来に比べソース信号線が20から25pF程度あっても1水平走査期間が75μ秒で表示可能となる。

【0143】また、図37に示すような電流電圧特性を持つように負荷468を抵抗性の負荷とした場合に、階調に対しソース信号線の電流値が図38の491で示すように変化すると、EL素子に流れる電流は階調に対し

図38の492で示すように増加する。負荷468とEL素子467にかかる電圧は等しいため、同一電圧に対する電流の比によりEL素子の電流値が決定され、電流値(階調)によってEL素子の抵抗値が変化することから、EL素子は図38の492で示すような非線形特性となる。階調として、図38のN以下の領域を使うことで、ガンマカーブに近い形となり、ガンマ補正が可能である。これにより、電流源の最小刻み幅に制約があり、黒領域の階調に対し、輝度変化を小さくできない場合でも、ガンマカーブに沿った階調対輝度特性を得ることができる。

【0144】なお、図36ではEL素子と負荷に電流が流れる期間を個別に制御することが可能であるが、図39のように同一に制御するようにしてもよい。

【0145】図40は外部調整手段501により負荷468の値を変更できるようにした場合の画素構成である。負荷468の値を変更することにより、EL素子467との抵抗値の比が変化するため、輝度の調節が可能となる。また、負荷468が抵抗性の負荷である場合は、図38のEL素子に対する階調特性カーブが変化するためガンマ調整やコントラスト調整などが可能である。

【0146】外部調整手段501は例えば、図10のテレビや図8の携帯情報端末、図41のビデオカメラ、図42のデジタルカメラなどに、表示装置の設定用のボタンなどの形で外部に設置し、ユーザに調整できるような機能を設けることができる。もちろん、表示される画面にしたがってユーザがコマンドとして送って調整できるようにしてもよい。図41の制御ボタン518や図42のボタン525が外部調整手段に用いられる。

【0147】(実施の形態17)図1は本発明の第17の実施の形態による表示部の画素構成を示した図である。図2の画素構成に比べ、トランジスタ538及び電圧チャージ線537を付加した点で実施の形態1とは異なる。

【0148】図2の構成で駆動用トランジスタ17aに流れる電流値を変化させるためにはソース信号線11もしくはEL電源線15から電荷を蓄積容量14の両端にためることで、駆動用トランジスタ17aのゲート電位を変化させる必要がある。現状のEL素子の発光効率からソース信号線に流れる電流は数μA以下であることから駆動用トランジスタ17aは高抵抗状態となっている。そのため、ソース信号線電圧を変化させるために必要な電荷を駆動用トランジスタ17aを通じて供給するには時間がかかる。

【0149】そこで、駆動用トランジスタ539aを通さずにEL電源線531からソース信号線532へ電荷を変化させるために、トランジスタ538及び電圧チャージ線537を付加し、水平走査期間の初め3μ秒から7μ秒程度電圧チャージ線を制御し、トランジスタ53

8を駆動用トランジスタ539aに比べて低抵抗状態とし、従来よりもEL電源線531からソース信号線532への電荷の供給を早くし、電位変化を速くした。

【0150】図43にゲート信号線(1)534、ゲート信号線(2)535及び電圧チャージ線537の印加電圧波形を示した。なお、本説明においてはP型トランジスタで説明をするが、N型トランジスタでも電流の向きを逆方向とし、それにあわせて電源電圧、グランド電位を入れ替えEL素子の向きを反転し、図43で供給される電圧を反転させることで実現可能となる。

【0151】ゲート信号線(1)534により駆動用トランジスタ539b、539cが導通状態である時に、電圧チャージ線537の電位を変化させ、接点530の電位を主にトランジスタ538を通じて供給される電荷により変化させる。この時、トランジスタ538に流れる電流は10nA以上1μA以下の範囲であればよく、図43に示した電圧チャージ線の期間541の電位はトランジスタ538のゲート電圧対ドレイン電流特性により調整させる。

【0152】期間541の長さはトランジスタ538を流れる電流値によるが、10nAの時は7μ秒であり、電流値が増大するにつれ期間は短くてよく、1μA流れる時は3μ秒程度あればよい。

【0153】以上の構成により、ソース信号線容量が30pFで水平走査期間が75μ秒の時に、所定の階調を表示することが可能となった。

【0154】(実施の形態18)図44は本発明の第18の実施の形態を示したものである。蓄積容量556と並列に補助容量550を設けたことが特徴である。なお、補助容量550には直列にトランジスタ558を接続している。

【0155】コンデンサのインピーダンスは、周波数をf、容量をCとすると、 $1/(2\pi fC)$ で表され、周波数が高く、容量が大きいほどインピーダンスが低くなる。そこで蓄積容量を大きくし、インピーダンスを下げて、EL電源線551から駆動用トランジスタ559aのゲートに電流を流しやすくし、電位変化を容易にできるようにした。一方で、補助容量を大きくすると、ソース信号線の電位変化が完全に終わるまでに(蓄積容量+ソース線容量)×駆動用トランジスタの見かけの抵抗値による時定数が大きくなる問題がある。

【0156】そこで、蓄積容量を増加させるのではなく、蓄積容量に並列に補助容量を設け、周波数が高い立ち上がり、立ち下がり期間のみ効果が現れるように、補助容量と直列にトランジスタ558を設け、容量制御線557で制御できるようにして、図45に示す波形により駆動を行った。

【0157】トランジスタ558が導通期間となるのは5μ秒以上10μ秒以下の時が最も効果があり、立ち上がり及び立ち下がり時間が10μ秒程度改善されること

がわかった。また、補助容量は大きいほど効果があるが、画素サイズとの兼ね合いもあるのでせいぜい4倍程度であればよい。

【0158】(実施の形態19)図46はカレントミラー構成におけるソース信号線571、EL電源線575間の抵抗値を下げるための回路構成を示した図である。図57に示すカレントコピアの画素構成に対し、EL素子に電流を流す駆動用トランジスタ(EL駆動トランジスタ)577cに対して、ソース信号線に電流を流せるような経路を設けたことが本発明の第19の発明の特徴である。従来のカレントミラー構成の回路では2つの駆動用トランジスタのソースもしくはドレイン側は接続できないという点で異なっている。

【0159】図46及び図47を用いて動作を説明する。ここで2つの駆動用トランジスタ577a、577cのチャネル幅/チャネル長の比をX対1とする。

【0160】図47の第1の期間ではトランジスタ577b、577d、577eが導通状態となる(図48(a))。2つの駆動用トランジスタ577aと577cのゲート電圧は共通であるため、それぞれに流れるドレイン電流の比はX対1となる。EL素子576に必要な電流をIとすると、この期間に流す必要があるソース信号線電流値は(X+1)Iである。

【0161】次に、第2の期間ではトランジスタ577eを非導通、トランジスタ577fを導通状態とする(図48(b))。ソース信号線571に流す電流をX Iとすると、第1の期間と同様に駆動用トランジスタ577aにはX Iの電流が流れ、駆動用トランジスタ577cにはIの電流が流れる。

【0162】次の水平走査期間に入り、非選択行となると第3の期間になり、図48(c)のようになる。第1、第2の期間で蓄積容量578に蓄えられた電荷によりEL素子576に電流が駆動用トランジスタ577cを通して流れる。この時に流れる電流は第2の期間とゲート信号線による突き抜けで電荷が変化することを無視すればほぼ同じである。

【0163】従来のカレントミラー構造の画素に比べ、第1の期間では(X+1)IとX I(従来値)に比べて大きな電流を流すことができることにより、ソース信号線容量の電荷を充放電しやすくなる。この効果はXが小さい場合に顕著となり、X=1では従来の2倍の電流を流すことになる。また、EL電源線575とソース信号線571の間の抵抗値は従来及び第2の期間での値をRとすると、第1の期間ではRが2つ並列に接続されて見えるためR/2となり、浮遊容量との時定数による立ち上がり(もしくは立ち下がり)時間を半分近くに短縮することができる。

【0164】これにより、従来の構成に比べてXを小さくしても、水平走査期間内に所定階調を書き込めるようになるため、スイッチングトランジスタに比べてもとも

10

20

30

40

50

とのサイズが大きい駆動用トランジスタのサイズを小さくすることができ、画素の開口率を上げる効果がある。開口率の増加により、各階調に対する電流密度が下がるため、EL素子の寿命が伸びるという効果もある。

【0165】（実施の形態20）図49は本発明の第20の実施の形態を示したものである。図18の構成と異なるのはゲート信号線を3本とした点である。

【0166】各ゲート信号線は図50に示すタイミングで駆動される。行選択期間と行非選択期間で分けられ、更に行選択期間は第1の期間と第2の期間に分けられる。

【0167】第1の期間ではゲート信号線(1)592及び(3)594につながるトランジスタが導通状態となるため、EL電源線595からソース信号線591へは2つの駆動用トランジスタ597a及び597iを通して電流が流れる。2つの駆動用トランジスタ597a、597iのチャンネル幅/チャンネル長の比を1対(X-1)とする(Xは2以上の自然数)と、駆動用トランジスタ597aに流れる電流はIであるため、ソース信号線591にX Iの電流を流すと、EL素子598には行非選択期間にIの電流が流れる。

【0168】ここで、駆動用トランジスタ597aと597iの閾値電圧や移動度が変化すると、それぞれのトランジスタに流れる電流の比が変化する。例えば、0.9 I対(X-0.9) Iのように変化する。これにより、EL素子598に流れる電流も、駆動用トランジスタ597aに流れる電流の変化に応じて変化する。そのため、597aと597iの駆動用トランジスタの電流-電圧特性のばらつきにより、輝度のばらつきが発生する。

【0169】そこで本実施の形態20では、行選択期間に第2の期間を設け、第2の期間ではゲート信号線

(3)594にトランジスタ597jが非導通の信号を印加することで駆動用トランジスタ597iに電流を流さないようにする。更に、ソース信号線591には第1の期間でトランジスタのばらつきを無視した場合に流れる電流値Iを流すようにする。これにより、第1の期間で駆動用トランジスタ597aに0.9 Iしか流れなかったとしても、第2の期間でIの電流が流れるため、駆動用トランジスタのばらつきによらず電流Iを流すことが可能となる。EL素子598に流れる電流も同様にばらつきによらず入力ソース電流が同じであれば同一電流が流れ、輝度のばらつきを低減できる。同様に、第1の期間で駆動用トランジスタ597aに1.1 I流れても、第2の期間でIの電流を流すように調整できる。

【0170】ソース信号線の電圧変化も、第1の期間において通常のIに比べて大きいX Iの電流値を流すため、駆動用トランジスタの見かけの抵抗値が小さくなり、ソース信号線容量に要する充放電期間が短くなるため速くなる。

【0171】この方法は、少なくとも2つの駆動用トランジスタを用いることでソース信号線に流す電流を増加させ、電圧変化を速くすること、第2の期間を設けることでカレントミラー構成とは異なり、2つの駆動用トランジスタの電流-電圧特性のばらつきによる輝度ばらつきを低減させることができるという利点がある。

【0172】本発明のEL表示素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるインジウム錫酸化物(ITO)をスパッタ法で成膜、バターニングする。その後、有機EL層、電子注入電極等を積層する。

【0173】なお、透明電極としてITOばかりでなく、金や酸化亜鉛(ZnO)、酸化インジウム-酸化亜鉛(In<sub>2</sub>O<sub>3</sub>-ZnO)や、100nm以下で製膜され可視光に対する透過率が高くなったアルミニウムなどの金属を用いてもよい。

【0174】TFTとしては、通常多結晶シリコンTFTを用いればよい。TFTは、各画素の端部に設けられ、その大きさは10~30μm程度である。なお、画素の大きさは20μm×20μm~300μm×300μm程度である。

【0175】基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Al、Alおよび遷移金属(ただしTiを除く)、Tiまたは窒化チタン(TiN)のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とTFTの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100~1000nm程度とすればよい。

【0176】TFTの配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO<sub>2</sub>等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG(スピン・オン・ガラス)で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0177】このように製造された表示装置において、有機層から発生した光は透明電極、トランジスタが製膜された基板より外部に取り出す。

【0178】それゆえ書き込み速度を上げるためにXを大きくし、597iの駆動用トランジスタサイズが大きくなると光取り出し面積が小さくなるため、1画素あたりの発光強度を同一にするには、輝度を増加させる必要がある。これはEL素子に流す電流密度を大きくすることを意味する。EL素子の寿命は電流密度が増大すると

10

20

30

40

50



短くなる。そのため、寿命を延ばすためには電流密度を減少させる、つまり、トランジスタのサイズはなるべく小さくすることが必要である。

【0179】一方で、駆動用トランジスタのサイズを小さくすることは、 $X$ を小さくすることとなり、ソース信号線に流す電流が減少し、浮遊容量の影響を受けやすくなってしまう。

【0180】ソース信号線591に流す電流値を変化させずに $X$ のみを小さくする方法として、EL素子598に接続されるトランジスタ597dの導通時間を変化させることで輝度調整を行う方法がある。

【0181】例えば、 $X=3$ で書き込みを行っていた場合に、 $X=2$ のトランジスタで同様の輝度を出す方法がある。その説明を以下に記す。

【0182】 $X=3$ の時、EL素子598に流す電流を1とすると、駆動用トランジスタ597aには1の電流を流す必要があるため、駆動用トランジスタ597iには2の電流が流れ、その結果、ソース信号線591に必要な電流は第1の期間では3となり、第2の期間では1となる。

【0183】 $X=2$ としてトランジスタサイズを小さくした場合、第1の期間でソース信号線591に同一電流を流すと、第1の期間では駆動用トランジスタ597a、597iに1.5ずつの電流が流れる。第2の期間では駆動用トランジスタ597aに第1の期間と同一の電流を流すため、ソース信号線591には1.5の電流を流す。その結果、EL素子598には1.5の電流が流れる。これでは $X=3$ の時に比べて輝度が1.5倍となるが、トランジスタ597dの導通期間を図50に比べ1/1.5とすることで、同一輝度を得ることが可能となる。

【0184】一般に、2つの駆動用トランジスタ597aと597iの(チャンネル幅)/(チャンネル長)の比を1:( $Y-1$ )( $Y<X$ )とし、第1の期間でソース信号線に流す電流値を同一にすると、第2の期間でのソース信号線電流は $X/Y$ 倍流れ、トランジスタ597dの導通期間は従来の $Y/X$ とすることで、異なる駆動用トランジスタサイズに対し、同一輝度を得ることができる。図51にその波形を示す。

【0185】その結果、トランジスタサイズを小さくできるため各画素内での発光面積の増加により必要電流密度が低くなり、長寿命化できること、さらに、第2の期間でソース信号線に流す電流が大きくなるため浮遊容量の影響を受けにくくなること、また同時に、第2の期間において階調間での電流増加量が大きくなるため、ソースドライバに作成される電流源の出力マージンを大きくとれるなどの利点が生まれる。

【0186】第1の期間では駆動用トランジスタ597aをEL素子に流す電流が流れるようなソース電位まで変化させる一方、第2の期間では597aと597iの

駆動用トランジスタの特性ばらつき分だけ、ソース電位を変化させる。従って、第2の期間は第1の期間に比べて短くても変化できるため、第1の期間の5%~20%程度の長さがあればよい。

【0187】 $X$ と $Y$ の関係であるが、 $Y<X$ であればよいが、 $Y$ が小さくなればなるほどEL素子598に流れる電流は大きくなる( $X/Y$ 倍流れるため)。また、EL素子598にかかる電圧も上昇する。電流量は $X/Y$ 倍になるが、流れる期間が $Y/X$ となるため1フレーム間で流れる電流量は変化しないが、電圧が上昇する分、消費電力が増加する。

【0188】他方、電流密度が低下するため寿命が延びる利点があること、更にトランジスタ597dが非導通状態の時にEL素子598に逆バイアス電圧を印加すれば寿命が更に延びるため、消費電力と寿命とのトレードオフとなるが、 $Y$ は $X$ の1/5以上であることが望ましい。

【0189】以上の発明はまた、各階調間の電流値の差が大きくなることから各階調に対応する電流源出力のばらつきの許容値を大きくできる利点がある。

【0190】以上の発明を用いることで、ソース信号線に寄生する容量値が25pFであっても水平走査期間が65μ秒で書き込むことが可能であり、フリッカの少ない表示が可能である。

【0191】図8は本発明の実施の形態のうち、少なくとも1つの形態を用いた表示部182に復調装置、アンテナ181、ボタン184を取り付け、筐体183でもって携帯情報端末にしたものである。低電流密度においても、規定電流値を表示素子に流すことが可能であるため低電力駆動が可能となった。

【0192】図10は本発明の実施の形態のうち、少なくとも1つの形態を用いた表示装置41に映像信号入力46と映像信号処理回路44をとりつけ、筐体47でもってテレビにしたものである。

【0193】図52は本発明の形態のうち、少なくとも1つの形態を用いた表示装置に光量調節機能を設け、照明として用いた場合の設置例を示す。図52(a)では2つの例を示し、例えば天井などに631に示すように本表示装置を設置し、壁等に調整手段634を設け、光量を調整するような機能を設ける。この時、調節された光量の値により画素ごとの輝度を変化させてもよいし、点灯及び非点灯画素の数を調整することで変化させてもよく、またこの2つの組み合わせでもよい。

【0194】有機発光素子を用いて照明装置の全面を1つの表示素子として形成した場合に、100nm程度の薄膜を大面積に均一に成膜することが難しく、例えば真空蒸着時においてピンホールが形成されたり、膜厚のばらつきが起きた場合に、表示領域全てにその影響が出る。特に、ピンホールや陰極金属のはく離による非点灯部の形成は、抵抗値の異なる部分が発生するため、むら

が出やすい。また、1点でも陰極と陽極が接する部分が発生すると全体が非点灯となる。

【0195】しかし、本発明によるアクティブマトリクス構造をとると、膜形成による欠陥は、欠陥が発生した1画素のみ影響を受けるだけで、照明装置として用いる場合に著しい輝度低下は発生せず、歩留まりを上げることが可能となる。

【0196】なお、本発明の表示装置を用いた照明装置は633のように、窓632に対し、カーテンのように設置してもよい。例えば、窓632上部に巻き取り装置を設け、窓より外光を取り入れる場合には上部に巻き上げ、遮光が必要な場合には窓にかかるように表示装置を巻き取り部より引き出す。更に、夜など部屋の照度を上げるために点灯することで照明として用いるようにすることが可能である。このために表示装置の基板はプラスチックなどのフレキシブルな材料で形成されれば実現可能である。また、遮光機能についても、電極となるアルミニウムやマグネシウム、銀やそれらの合金、更に前記材料とリチウムとの合金が可視光において透過率が低いことを利用すれば実現可能である。電極の膜厚を厚くすることで、更に透過率を小さくすることができる。但し、成膜時間が長くなり真空蒸着による成膜法では有機層へ輻射熱によるダメージが発生したり、スパッタ法で行う場合でも、スパッタエネルギーによる有機層の逆スパッタの影響が出やすくなるため、現実的には400から500nm程度の厚さまでしかできない。そのために基板に遮光機能を設けてもよいし、ブラックマトリクスのような材料を表示素子の光取り出し面の逆面に形成し、遮光機能を向上させる方法がある。図52(b)に本発明による照明を実現するブロック図を示す。ソースドライバに入力されるデータとして、調整手段634により指示される光量にあわせて、データ転送部636から出力するようにすればよい。

【0197】なお、図52では天井や窓に設置した例を示しているが、これに限らず、壁や床などあらゆる場所に設置してもよい。

【0198】また、本発明の実施の形態において、図61のソースドライバ71及びゲートドライバ70を低温ポリシリコンを用いて表示装置のガラス基板に形成してもよい。もしくはソースドライバ71及びゲートドライバ70を半導体回路として作成し、表示パネルと組み合わせてもよい。また、一方のドライバを低温ポリシリコンで表示装置のガラス基板に形成し、他方を半導体回路として形成し、表示パネルと組み合わせる方法でもよい。

【0199】本発明の実施の形態のうち、ソース信号線に流れる電流値と、EL素子に流れる電流値の割合を変化させる方法として、少なくとも2つの駆動トランジスタを用いた回路例を図18に示したが、トランジスタ17jの配置場所は17a、17iの2つの駆動用トラン

ジスタのうちの1つにトランジスタ17dが導通時、電流を流さないような構成にすればよく、例えば図53、図54もしくは図55に示したように配置しても同様な効果が得られる。また、これらの図に関わらず、上記目的を達するような構成であればトランジスタ17jの挿入場所は任意でよい。

【0200】この例ではスイッチング素子として、Pチャネルのトランジスタを例にして説明を行ったが、Nチャネルのトランジスタ、もしくはその組み合わせによっても、同様に実現可能である。例えば、図2に示した画素構成の場合、ゲート信号線(1)12及びゲート信号線(2)13に印加させる電圧値にNチャネルトランジスタを用いた場合は、ロジックレベルで考えるとPチャネルトランジスタの信号の反転信号を入れればよく、電流源10については電流を流す向きを逆にし、EL電源線15から供給される電圧を電流源10の電源切り替え手段19とは逆の端子電圧に比べ、低くすることで同様に実現することが可能である。つまり、電流の向きと電位の関係が反転するだけで、ソース信号線11に存在する浮遊容量20の電荷の充放電を早くするという目的は同一であるからである。

【0201】また、Nチャネルトランジスタの場合に電流比を変化させる構成の一例として図56を示す。

【0202】また、ダイナミックカレントコピアの画素構成において説明を行ってきたが、図57に示すようなカレントミラー構成の画素においても同様に本発明を実施可能である。カレントミラー構成の場合においても、行選択時にはトランジスタ177dを導通状態、177bを非導通状態にして、電流源170により、EL電源線175、トランジスタ177a、177d、ソース信号線171を通して階調に応じた電流を流すという動作を行うため、ソース信号線171に浮遊容量が存在した場合、電流源170の電流値の変化時に、低電流領域では浮遊容量にたまった電荷の充放電を行うことが難しいという課題は同じである。従って、本発明の実施により、書き込み速度が速くなるという効果を得ることができる。

【0203】ソース信号線に流す電流と、EL素子に流す電流値を変化させるには図58に示すように、トランジスタ177m及び177nを追加し、177nのゲート電極にゲート信号線(1)172を接続して、トランジスタ177m、177aのチャネルサイズを変化させることで、実現可能である。

【0204】また、トランジスタ177nのゲート端子をゲート信号線(1)172ではなく独立させて制御することで例えば、階調に応じて常に非導通もしくはゲート信号線(1)172と同一動作を行うもののうちのいずれかを選択することで、表示階調ごとにソース信号線電流とEL素子に流れる電流の比を変化させることが可能となる。

【0205】これにより、ソース信号線に流す電流値を大きくすることができるため電流値の変化を早くすることが可能である。

【0206】本発明においてスイッチング素子として用いたトランジスタ17b、17c、17d、17j、177b、177d、177nは薄膜トランジスタを例にして説明を行ったが、薄膜トランジスタに限らず、バリスタ、サイリスタ、リングダイオード、薄膜ダイオード(TFD、MIM)などを用いても同様な効果が得られる。

【0207】また、表示素子としてEL素子で説明を行ったが、有機電界発光素子や無機エレクトロルミネッセンス素子、発光ダイオードなどを用いてもよい。

【0208】更に、例えば液晶などの光変調パネルにも応用できる。図2においてEL素子16を液晶層とすればよい。

【0209】同様に、EL素子を電流値により駆動させるための画素構成として図59(a)に示すような構成も考えられる。図18と異なるのはスイッチングトランジスタがEL素子ではなく、電源線につながっているところである。

【0210】以下、図59(a)の画素構成における動作を説明する。

【0211】ゲート信号線(1)391によりトランジスタ17c、17b、17jを導通状態とする。さらにゲート信号線(2)392によりトランジスタ17dを非導通状態とする。蓄積容量14には駆動用トランジスタ17aと17iに流れる電流の和がソース信号線電流値と同じになる値となるように応じた電圧が記憶される。駆動用トランジスタ17aと17iに流れる電流値の比はチャンネルの長さの比及びチャンネルの幅の比により決められる。

【0212】次に、ゲート信号線(1)391及び(2)392の操作により、トランジスタ17c、17b、17jを非導通状態、トランジスタ17dを導通状態とし、EL電源線393より電流を駆動用トランジスタ17aとEL素子16に流す。このときの電流値はソース信号線電流から駆動用トランジスタ17aに流れた電流値と同じ大きさである。

【0213】これにより、図18の構成と同様に、ソース信号線に対する電流値とEL素子に流れる電流値の比を少なくとも2つの駆動用トランジスタ17a、17iのチャンネルサイズの比を変更することで、変化させることが可能となり、従来の構成に比べてソース信号線に流す電流量が大きくなることで、浮遊容量20による波形のなまりを小さくする効果が図18の構成と同様に得られる。

【0214】また、本発明の実施により各階調のソース信号線に流れる電流値を数倍(2型パネルの時は5から10倍程度)とすることで、各階調の電流ステップの刻

み幅を大きくすることができ、ソースドライバに構成された各階調に対応した電流源の出力ばらつきの許容範囲を大きくすることができる。

【0215】また、電流調整がしやすいという利点が得られる。

【0216】ソース信号線171に電源切り替え手段179を設け、電流源170と電圧源178とを切り替えて使うことで、実施可能となる。

【0217】

10 【発明の効果】以上のように本発明は、ソース信号線に切り替え手段を有し、1水平走査期間内に、電圧印加期間と電流印加期間を設け、ソース信号線に存在する浮遊容量に蓄積された電荷をすばやく所定の階調に対応する電荷量に変化させることで、1水平走査期間を短くし、フリッカレス駆動を実現できる。

【0218】また、1水平走査期間のうち表示階調に対応する電流値に対し、3倍以上10倍以下の電流値を流す期間を設け、ソース信号線に存在する浮遊容量に蓄積された電荷の変化に要する時間を短くできたこと、EL電流値に対しソース信号線に流す電流値を10倍程度にすることで、1水平走査期間を短くしフリッカレス駆動を実現できる。一般には電流値が少なくともソース容量値とソース電圧の積を1水平走査期間で割った値よりも大きくすれば、各階調に対応した電流値を水平走査期間内に書き込むことが可能となる。

【図面の簡単な説明】

【図1】本発明の第17の実施の形態による画素構成を示した図

30 【図2】本発明の第1の実施の形態による画素、ソース信号線及び電源を示した図

【図3】水平走査期間内での電圧印加期間と電流印加期間のタイミングを示した図

【図4】白表示及び黒表示時に対する出力電流の電圧印加期間依存性を示した図

【図5】本発明の第2の実施の形態におけるソースドライバ部、電源部およびソース信号線の関係を示した図

【図6】ソース信号線からある画素への電流書き込み時の等価回路及び画素内のトランジスタの電流電圧特性及びソース信号線の波形を示した図

40 【図7】本発明の第3および第6の実施の形態におけるソースドライバ部の構成を示した図

【図8】本発明の実施の形態における表示装置を組み込んだ携帯情報端末の図

【図9】本発明の第4の実施の形態におけるコントローラ及びソースドライバのブロック図

【図10】本発明の実施の形態における表示装置を組み込んだテレビを示した図

【図11】本発明の第5の実施の形態におけるソース信号線電流に対応した電圧を発生させるためのブロック図

50 【図12】本発明の第6の実施の形態におけるソース信

号線に流れる電流の波形を示した図

【図13】本発明の第6の実施の形態におけるソース信号線に流れる電流の波形を立ち上がり時及び立ち下がり時に従来例と比較示した図

【図14】本発明の第7の実施の形態におけるソースドライバのブロック図と画素部の構成を示した図

【図15】本発明の第7の実施の形態におけるタイミングチャート

【図16】本発明の第8の実施の形態におけるデジタルアナログ変換器を用いたソース信号線出力を示した図

【図17】本発明の第8の実施の形態における水平走査期間内でのリファレンス電圧の変化を示した図

【図18】本発明の第9の実施の形態における1画素分の回路を示した図

【図19】本発明の第9の実施の形態におけるソース信号線電流とEL素子に流れる電流の関係を示した図

【図20】図18に示す回路構成においてソース信号線に電流を流す場合と、EL素子に電流を流す場合の各トランジスタの導通状態を示した図

【図21】本発明の第9の実施の形態において図18中のトランジスタのチャネルサイズの変化による電流源の電流値とEL素子に流れる電流値の変化を示した図

【図22】本発明の第10の実施の形態における1画素分の回路を示した図

【図23】水平走査期間が75 $\mu$ 秒の時、ソース信号線容量により所定電流値に対しどの程度まで書き込めるのかを示した図

【図24】本発明の第11の実施の形態において水平走査期間が75 $\mu$ 秒の場合にソース信号線容量の変化により所定電流値に対しどの程度まで書き込めるのかを示した図

【図25】本発明の第12の実施の形態における階調とソース信号線に流れる電流の関係を示した図

【図26】階調によって、ソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図27】あるソース容量値に対するソース信号線電流とその電流値に達するのに要する時間の関係を示した図

【図28】異なる3つの電流値に対し、所定電流値まで変化するのに必要な時間が異なることを示した図

【図29】ソース信号線容量が40pFの時、65 $\mu$ 秒後に各ソース信号電流値に対して所定電流値までの何%まで変化したかを示した図

【図30】図56に示す割合で書き込まれた場合に、ソース信号入力電流に対するEL素子に出力される電流値の関係を示した図

【図31】本発明の第13の実施の形態におけるゲートドライバ部の構成を示した図

【図32】本発明の第15の実施の形態における画素の構成を示した図

【図33】図32の画素構成の動作を示した図

【図34】図32の画素構成におけるゲート信号線、バイアス制御線の動作波形を示した図

【図35】3層型発光素子におけるキャリアの挙動を示した図

【図36】本発明の第16の実施の形態における画素の構成を示した図

【図37】図36及び図39のEL素子及び負荷に用いられた素子の電流と電圧の関係を示した図

【図38】EL素子とソース信号線における階調と電流の関係を示した図

【図39】図36に示す画素の構成において負荷とEL素子に接続されるトランジスタを共通にした図

【図40】調整手段により負荷の抵抗値を変化させる機能を設けた図

【図41】本発明の表示装置を用いたビデオカメラを示した図

【図42】本発明の表示装置を用いたデジタルカメラを示した図

【図43】図1での各信号線波形を示した図

【図44】本発明の第18の発明の形態における画素構成を示した図

【図45】図44における各信号線の駆動波形を示した図

【図46】本発明の第19の実施の形態における画素構成を示した図

【図47】図46における各信号線波形を示した図

【図48】図46で示した画素構成の動作を説明した図

【図49】本発明の第20の実施の形態における画素構成を示した図

【図50】本発明の第20の実施の形態における各信号波形を示した図

【図51】本発明の第20の実施の形態におけるトランジスタサイズによる信号波形の変化を示した図

【図52】本発明の実施の形態による表示装置を用いた照明を示した図

【図53】ソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図54】ソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図55】ソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図56】Nチャネルトランジスタを用いた場合にソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図57】画素がカレントミラー構成となった場合の本発明の実施の形態を示した図

【図58】カレントミラー構成において、ソース信号線に流す電流値とEL素子に流す電流値を異ならせることができるようにした図

【図59】EL素子ではなく、EL電流線をトランジスタにより導通非導通状態に変化させる場合のソース信号線に流す電流値と、EL素子に流す電流値の比を変更させるための回路構成を示した図

【図60】本発明の第11の実施の形態における階調に対する電流源の割り当てを示した図

【図61】従来の表示装置の構成を示した図

【図62】ゲート信号線の走査時間を変化させた場合の入力電流と出力電流の関係を示した図

【図63】表示色の違いによる有機発光素子の電圧-輝度特性及び電流密度-輝度特性の違いを示した図

【符号の説明】

10 電流源

11 ソース信号線

12 ゲート信号線(1)

13 ゲート信号線(2)

14 蓄積容量

\*

\* 15 EL電源線

16 EL素子

17 トランジスタ

18 電圧源

19 電源切り替え手段

20 浮遊容量

530 接点

531 EL電源線

532 ソース信号線

533 EL素子

534 ゲート信号線(1)

535 ゲート信号線(2)

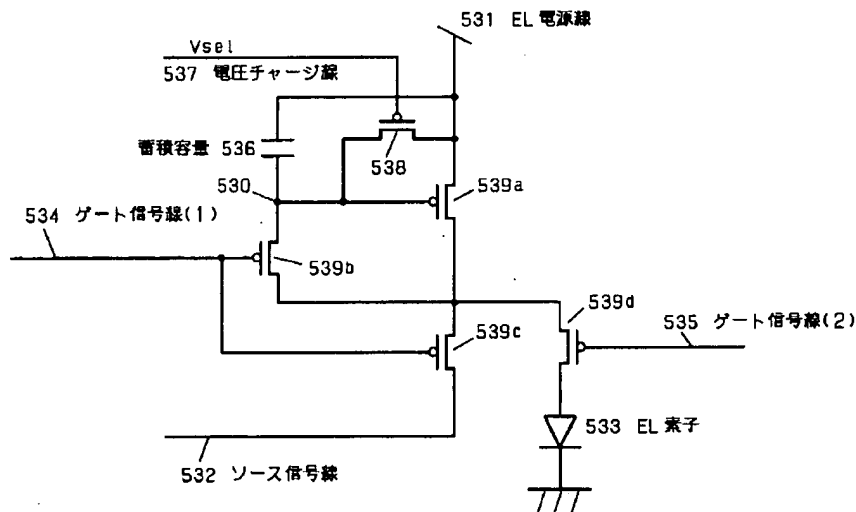
536 蓄積容量

537 電圧チャージ線

538 トランジスタ

539 駆動用トランジスタ

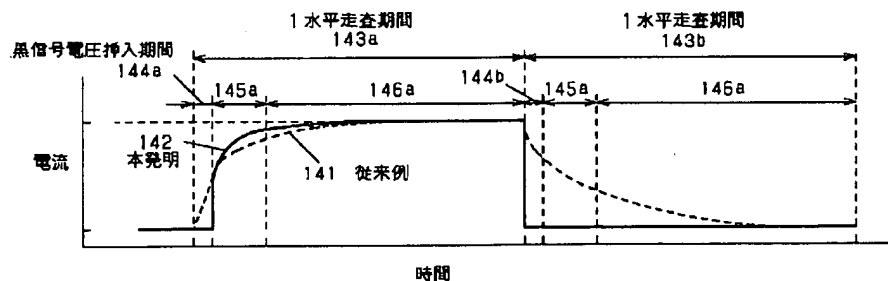
【図1】



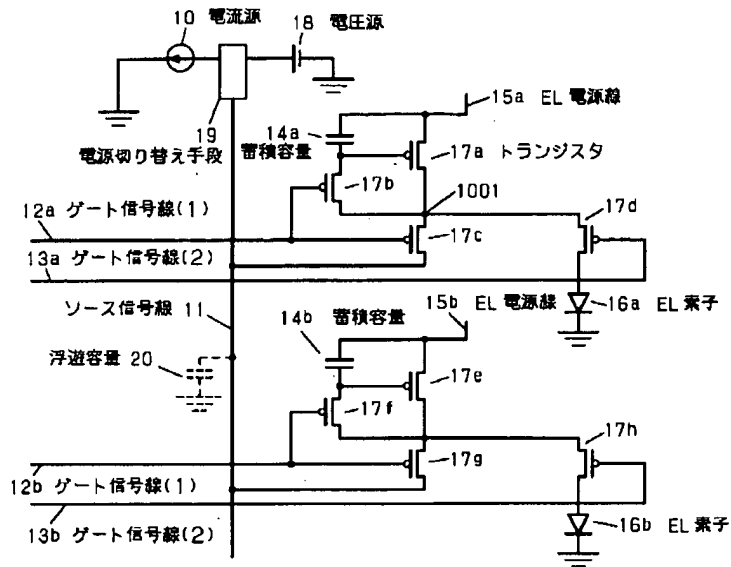
【図60】

入力階調	選択電流源No
0	0
1	5
2	6
3	7
4	8
5	9
6	10
⋮	⋮
N-1	N+3

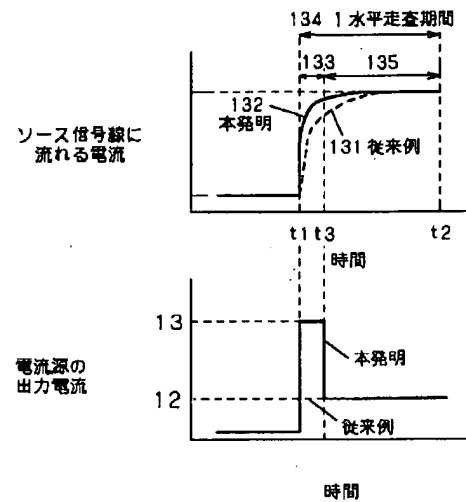
【図13】



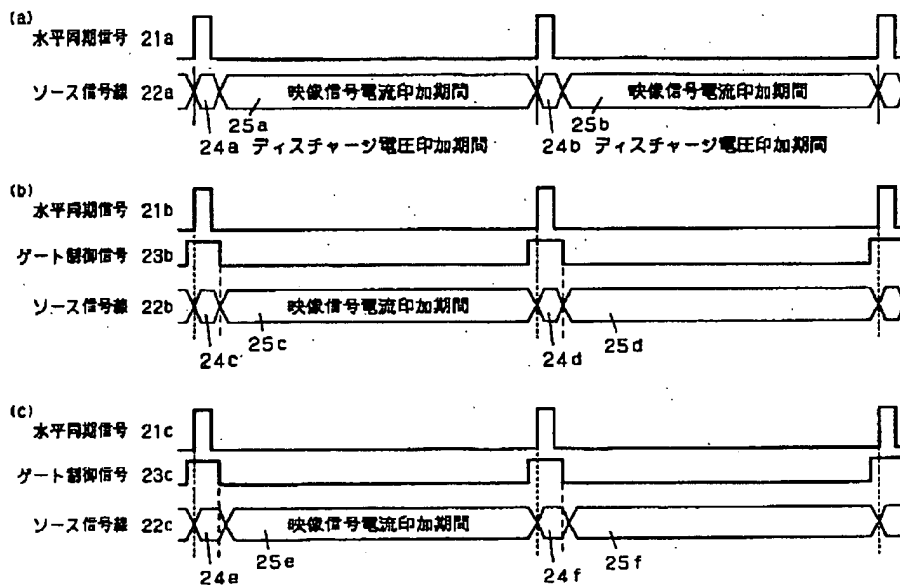
【図2】



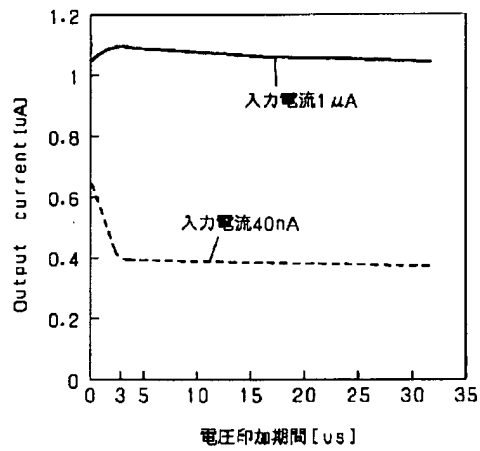
【図12】



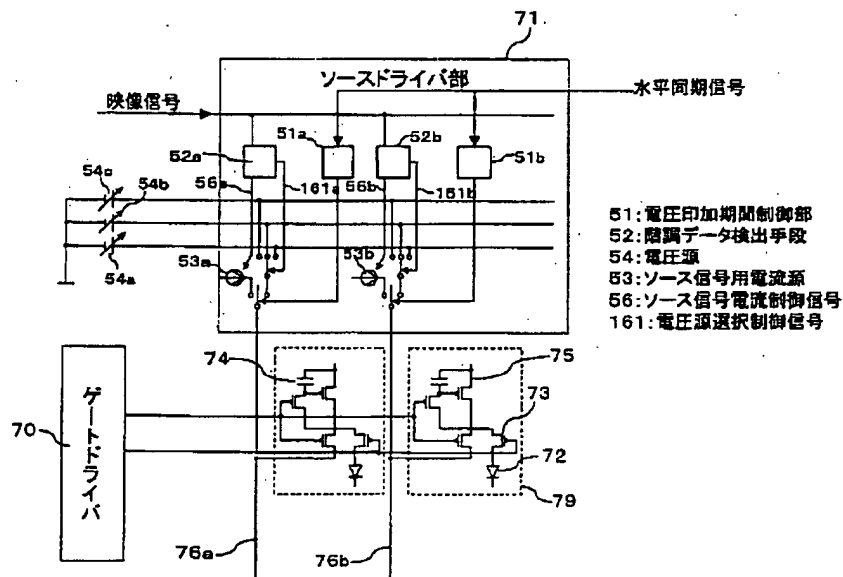
【図3】



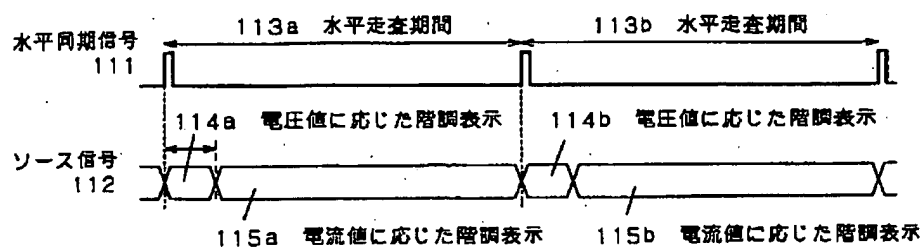
【図4】



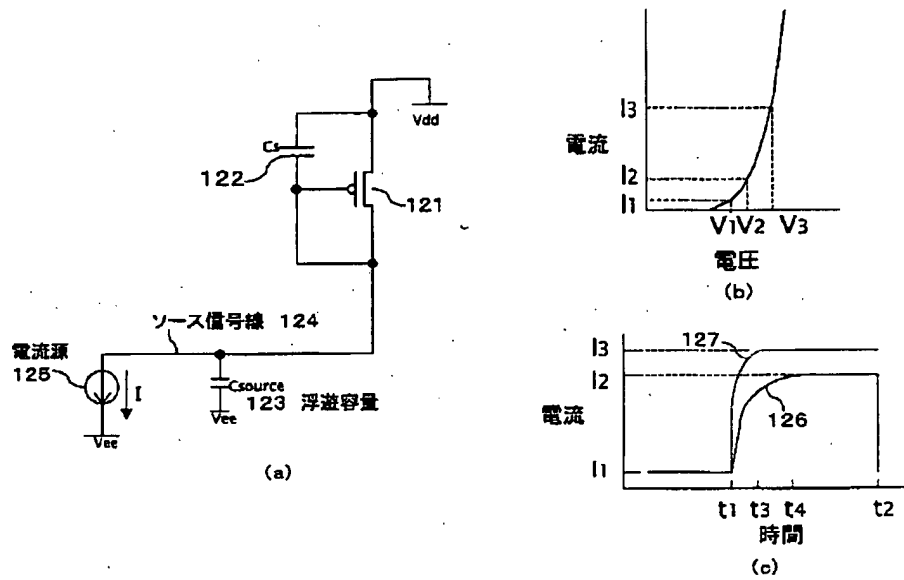
【図5】



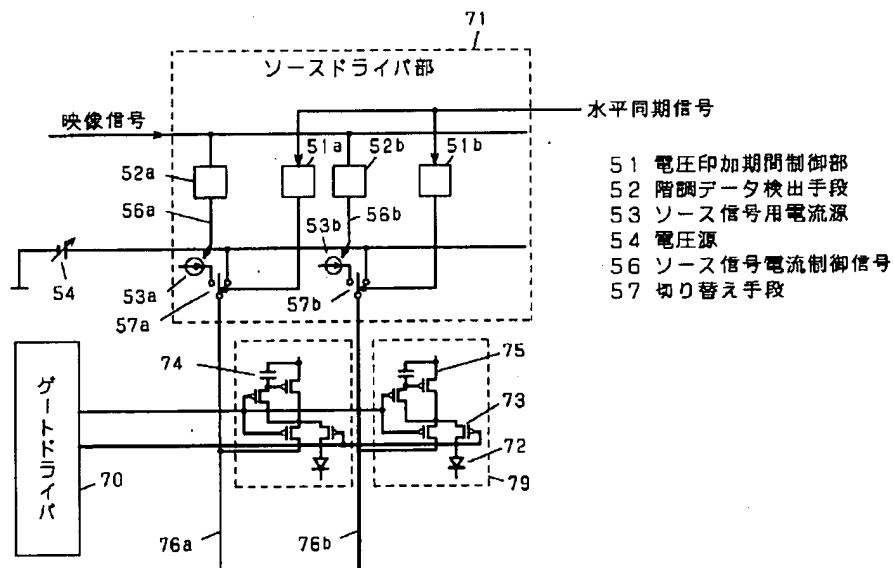
【図15】



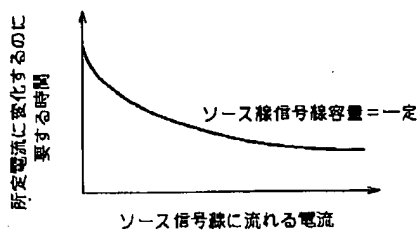
【図6】



【図7】

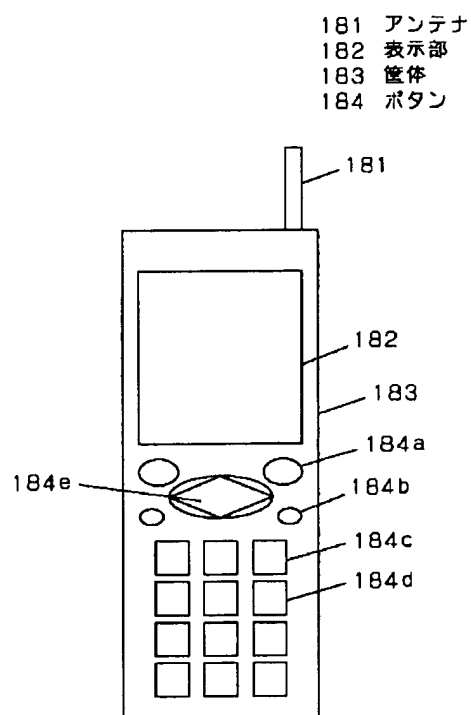


【図27】

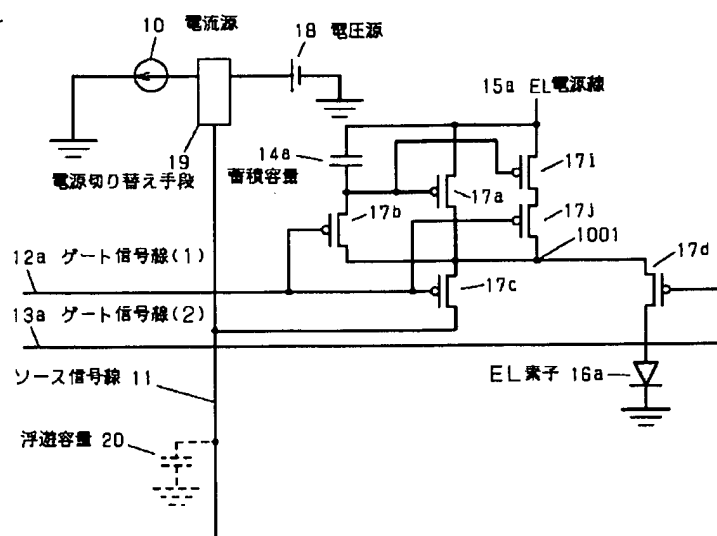




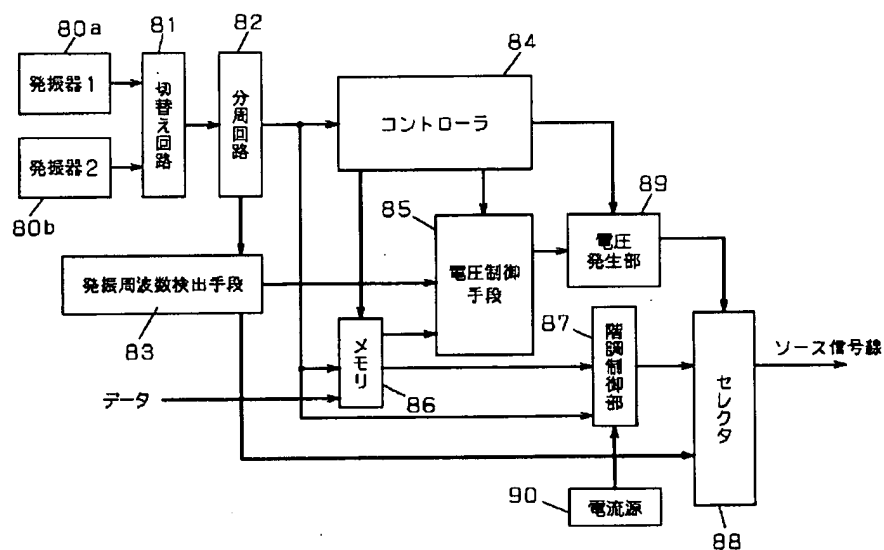
【図8】



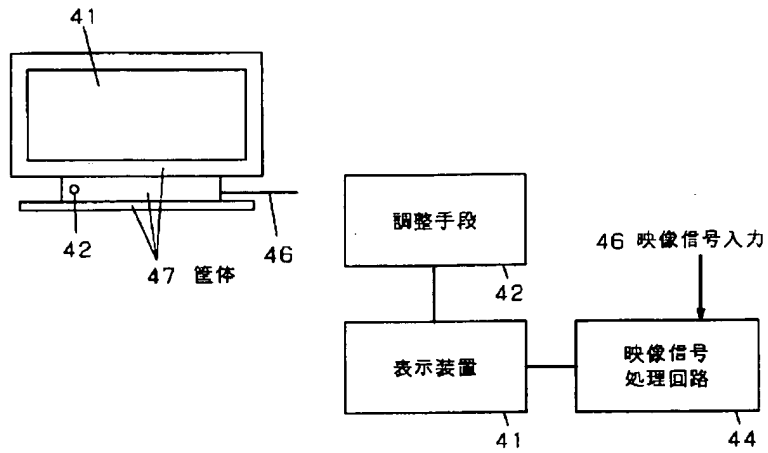
【図22】



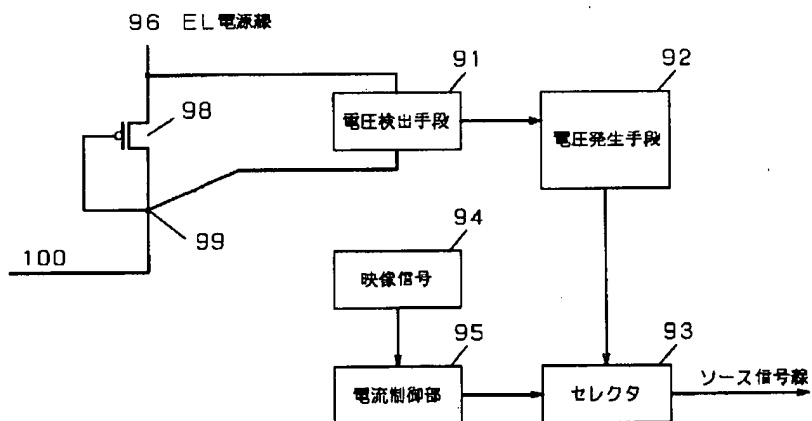
【図9】



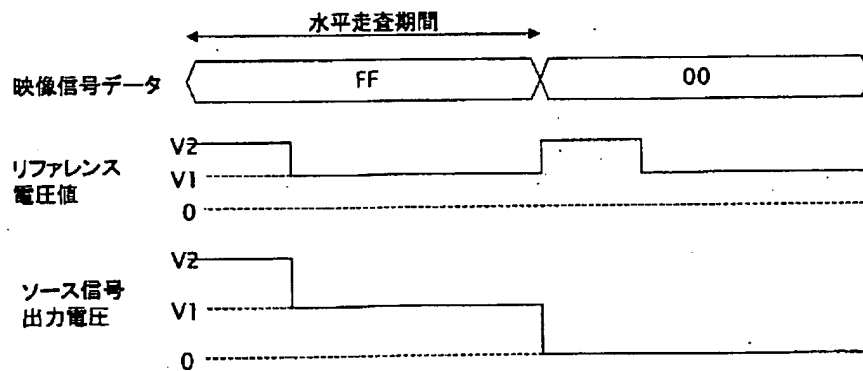
【図10】



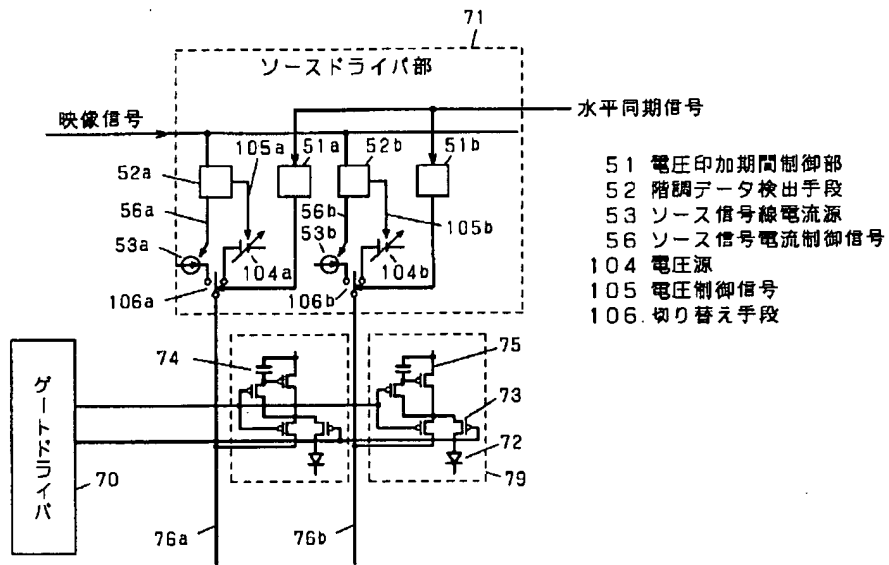
【図11】



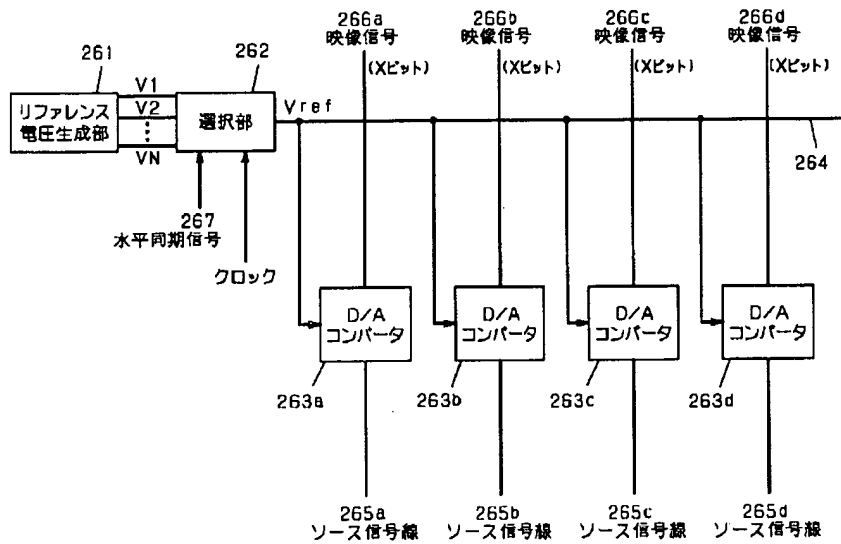
【図17】



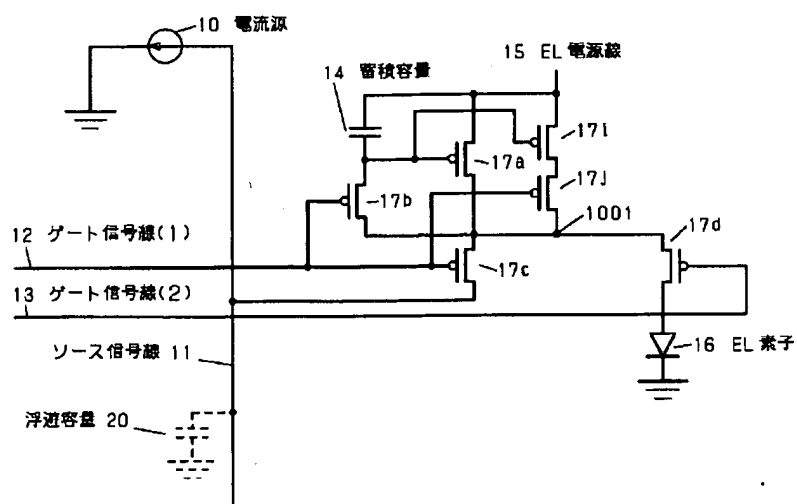
【図14】



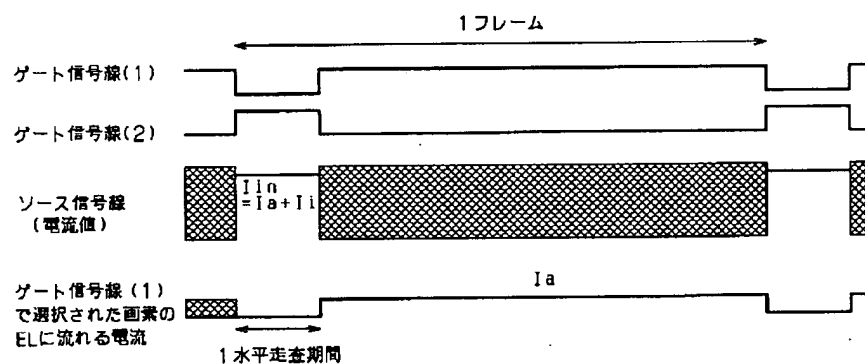
【図16】



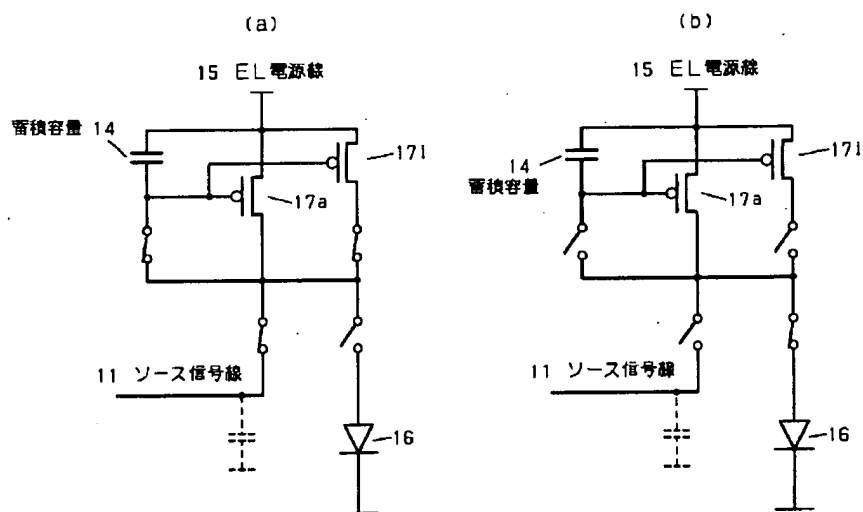
【図18】



【図19】



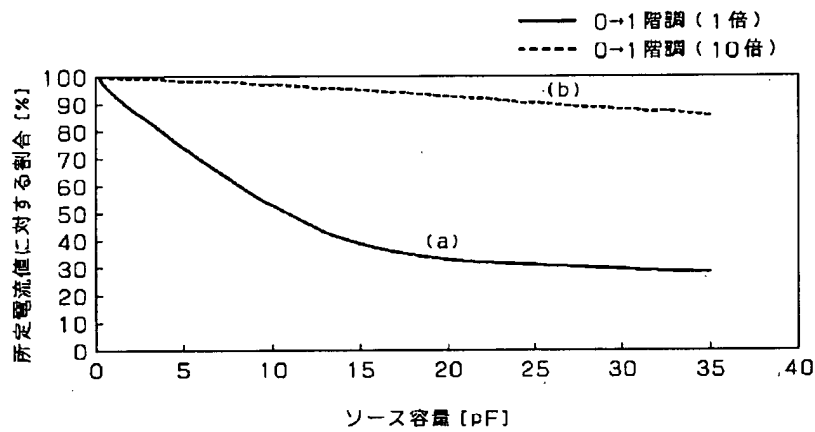
【図20】



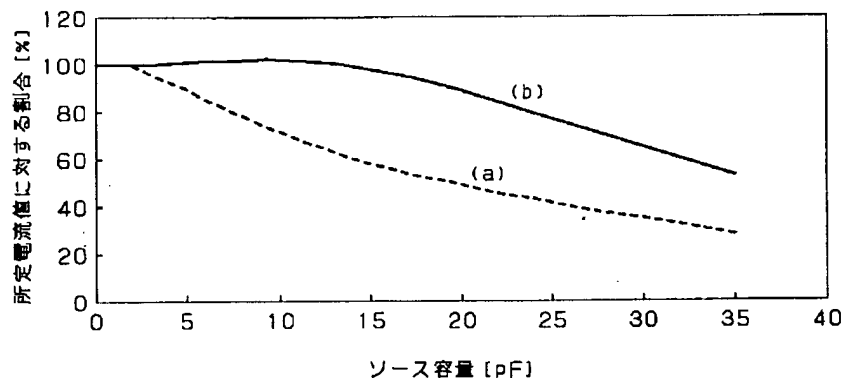
【図21】

トランジスタ17a		トランジスタ17i		電流源10 の電流値	EL素子16 の電流値
チャネル幅	チャネル長	チャネル幅	チャネル長		
W1	L1	なし		I1	I1
W1	L1	W1	L1	I1×2	I1
W1	L1	W1×9	L1	I1×10	I1
W1	L1	W1×3	L1÷3	I1×10	I1

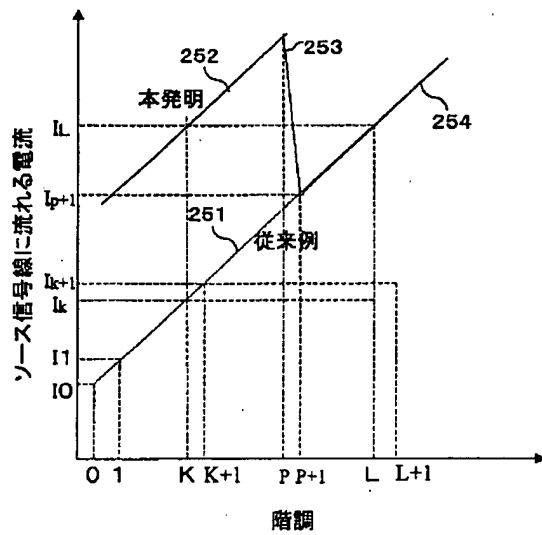
【図23】



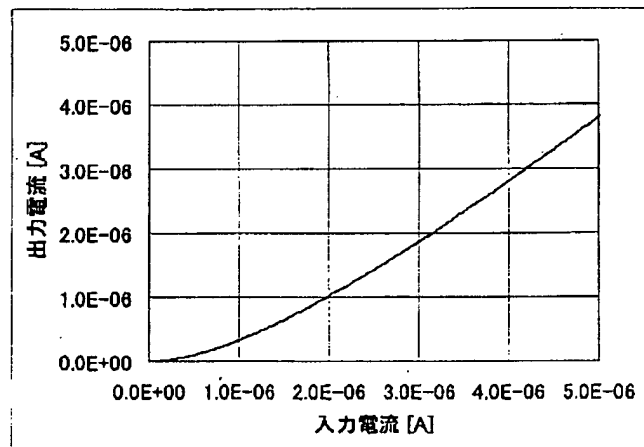
【図24】



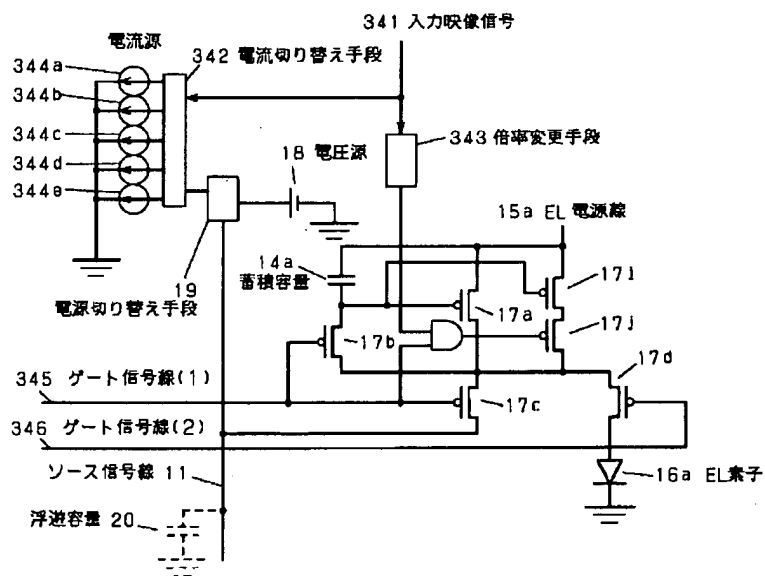
【図25】



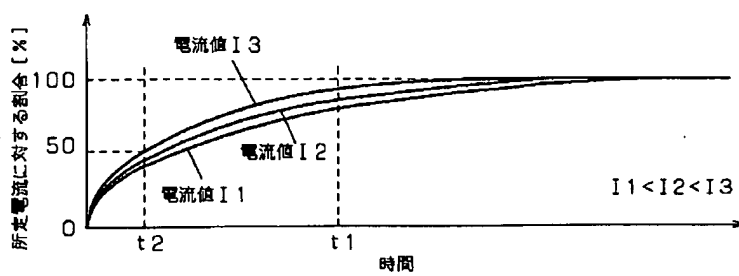
【図30】



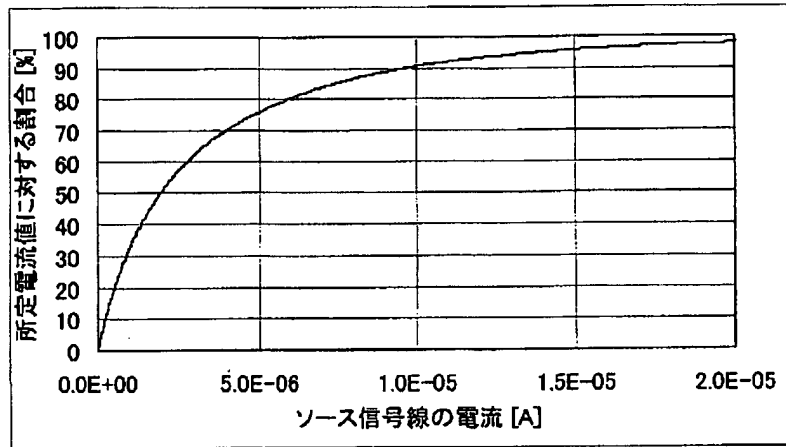
【図26】



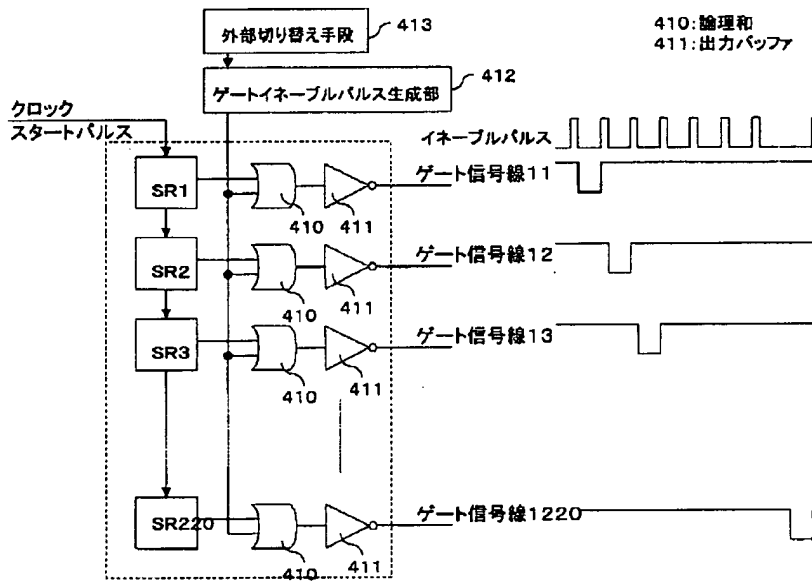
【図28】



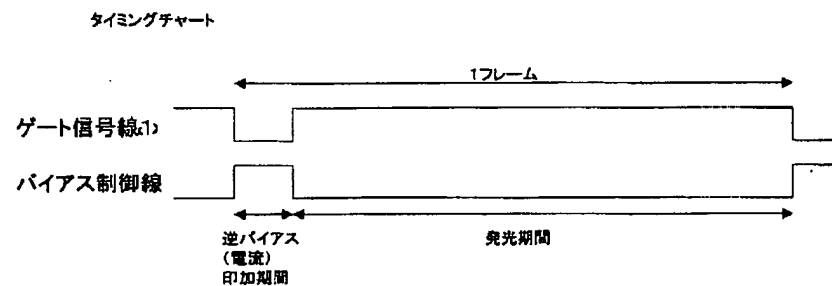
【図29】



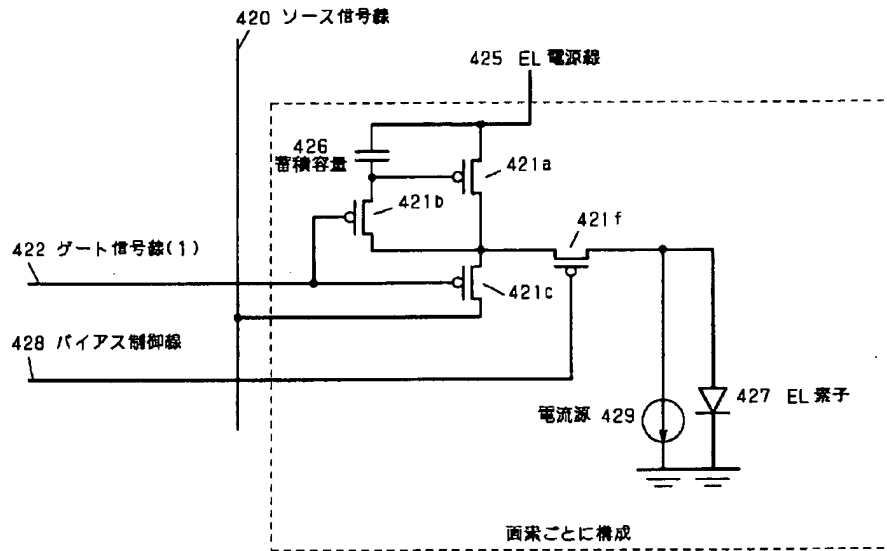
【図31】



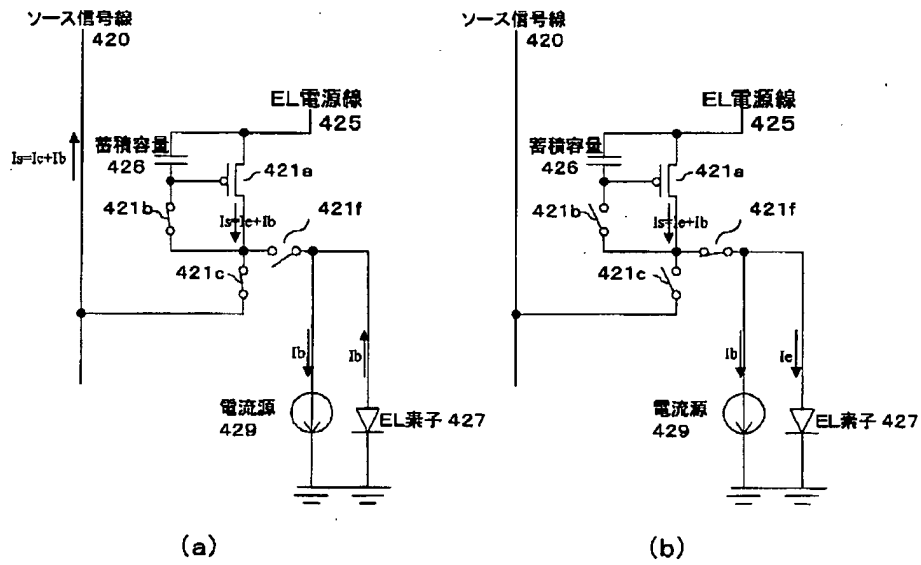
【図34】



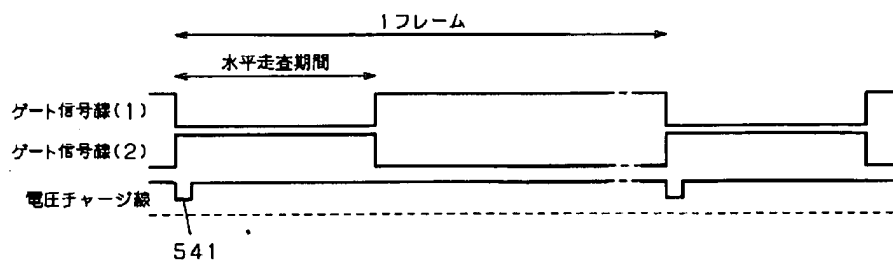
【図32】



【図33】

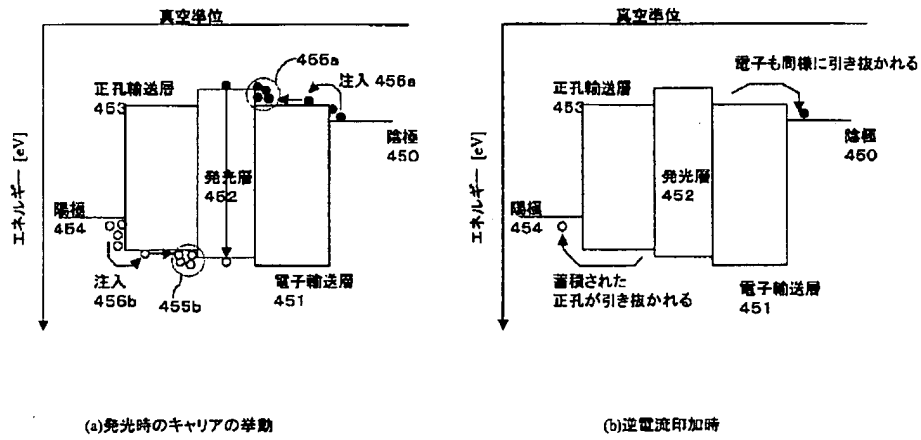


【図43】

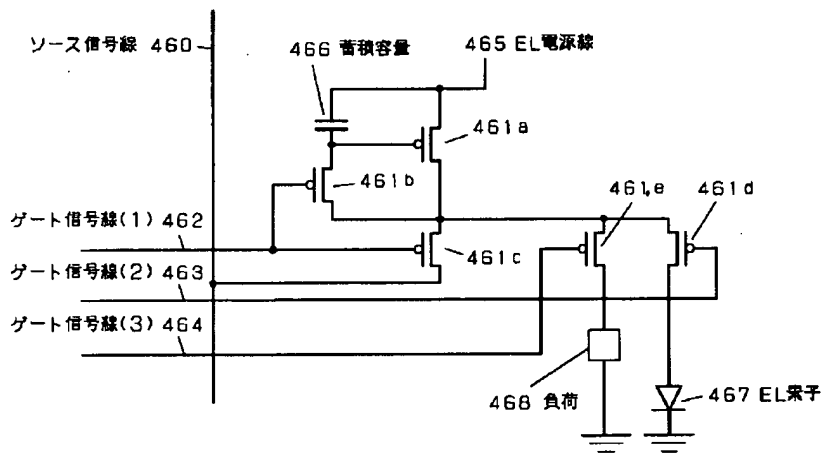




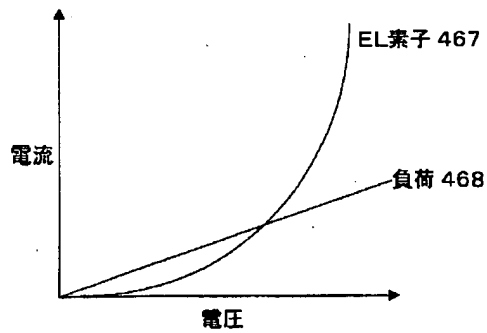
【図35】



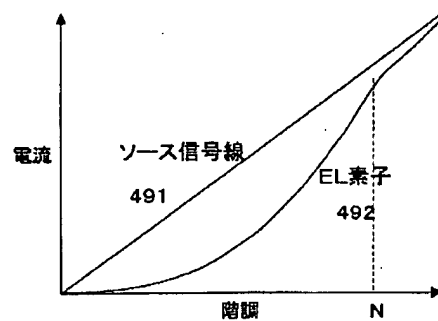
【図36】



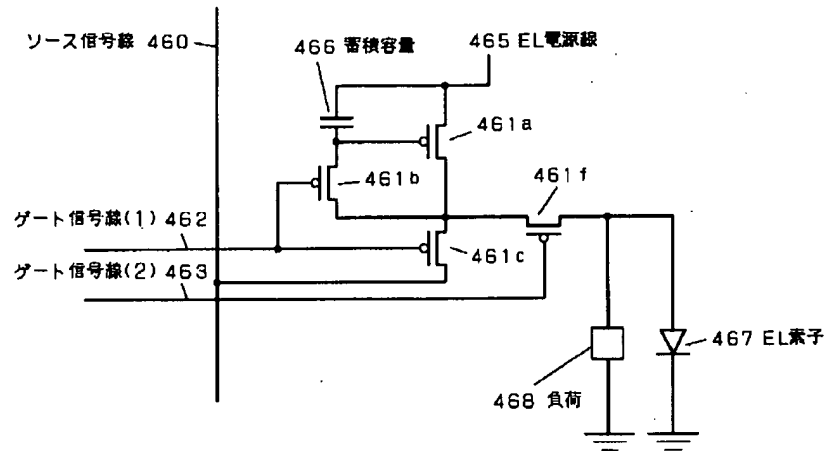
【図37】



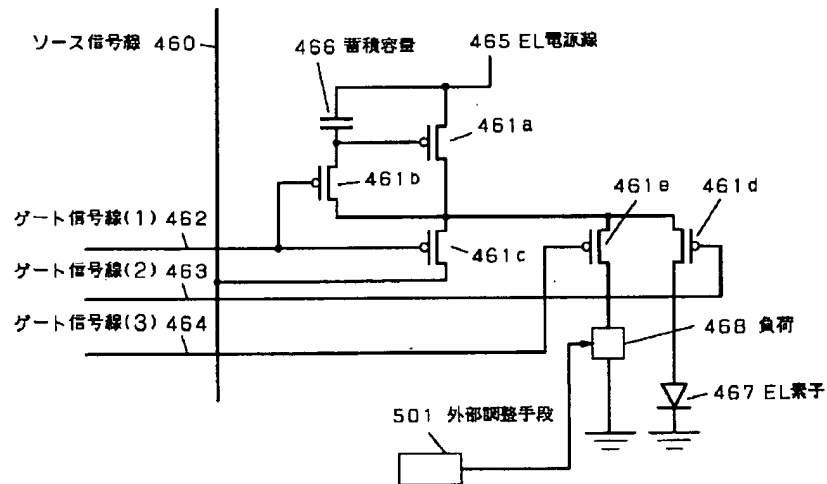
【図38】



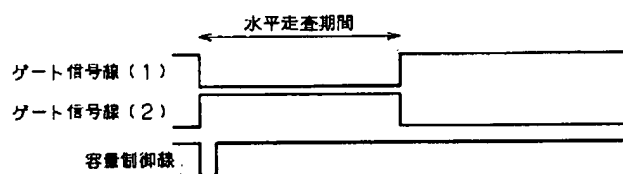
【図39】



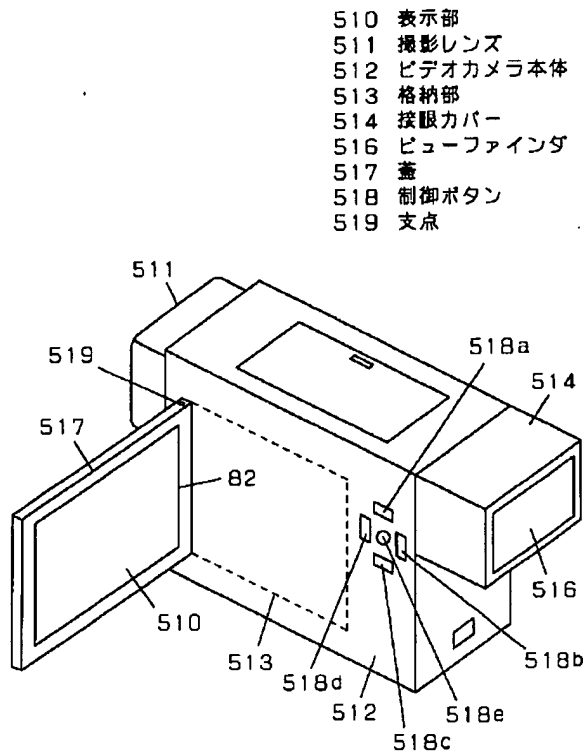
【図40】



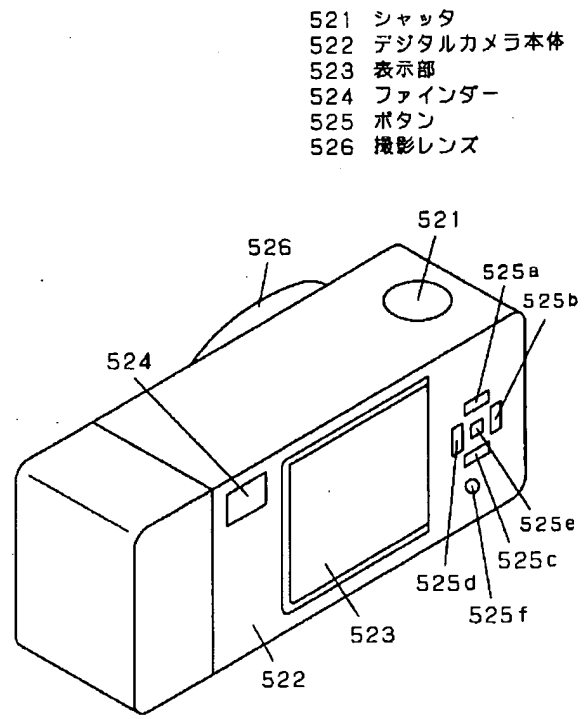
【図45】



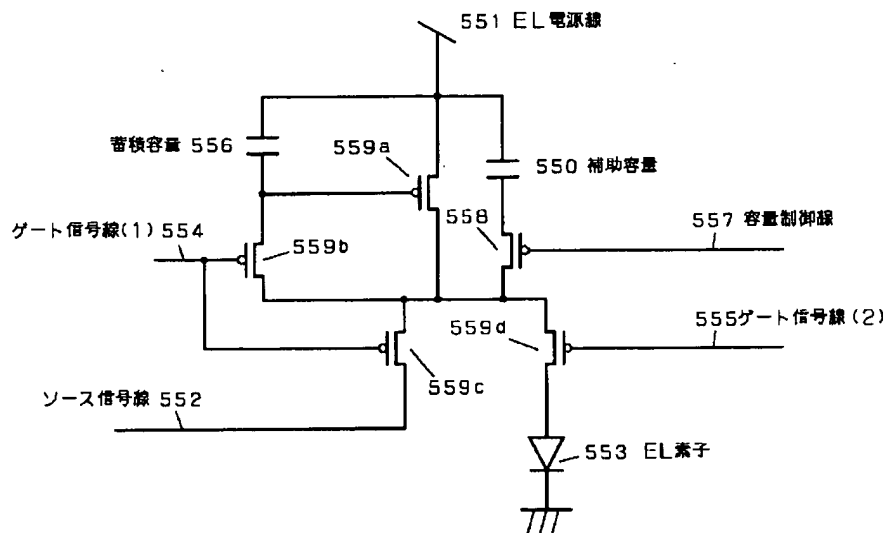
【図41】



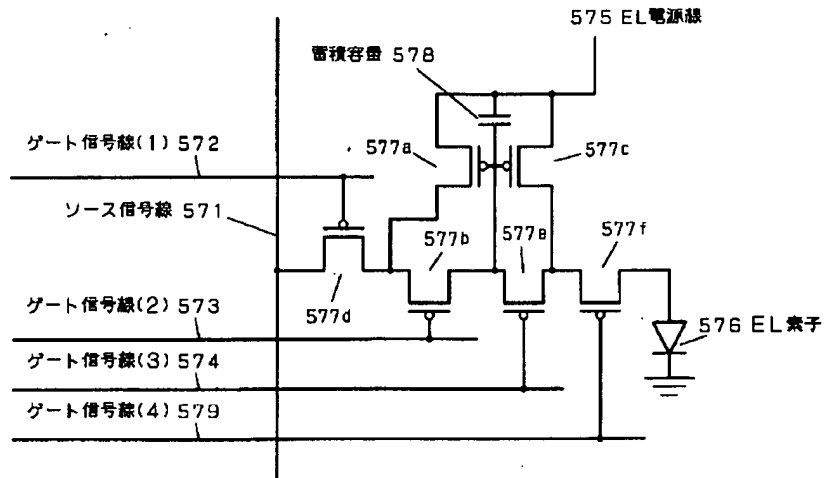
【図42】



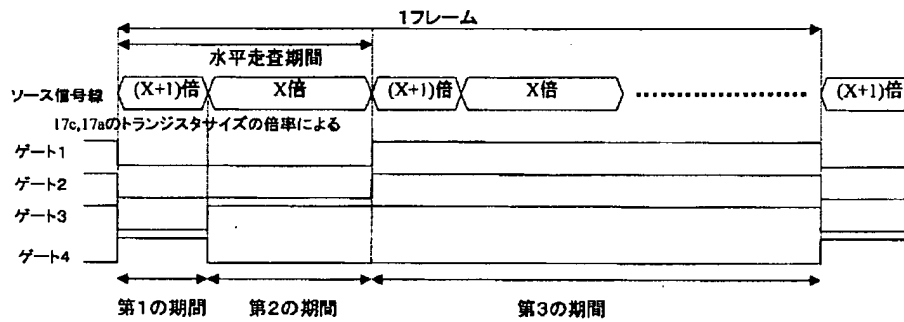
【図44】



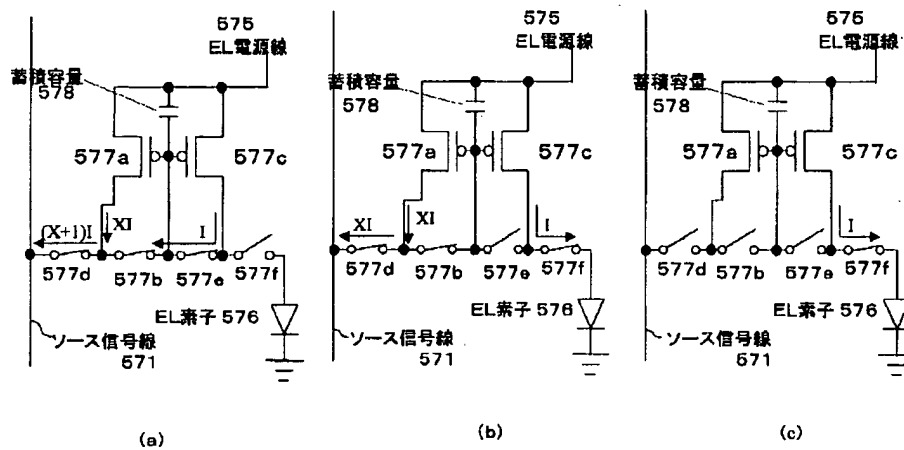
【図46】



【図47】



【図48】



水平走査期間 (行選択時)

水平走査期間 (行非選択時)

ソース信号線

X倍

1倍

X倍

1倍

17i, 17a のトランジスタサイズの倍率による

ゲート信号線 (1)

ゲート信号線 (2)

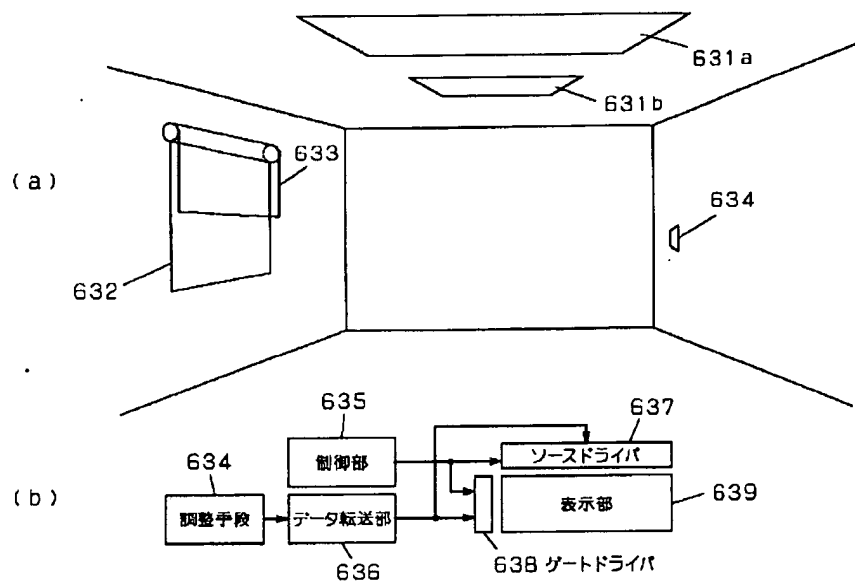
ゲート信号線 (3)

第1の期間

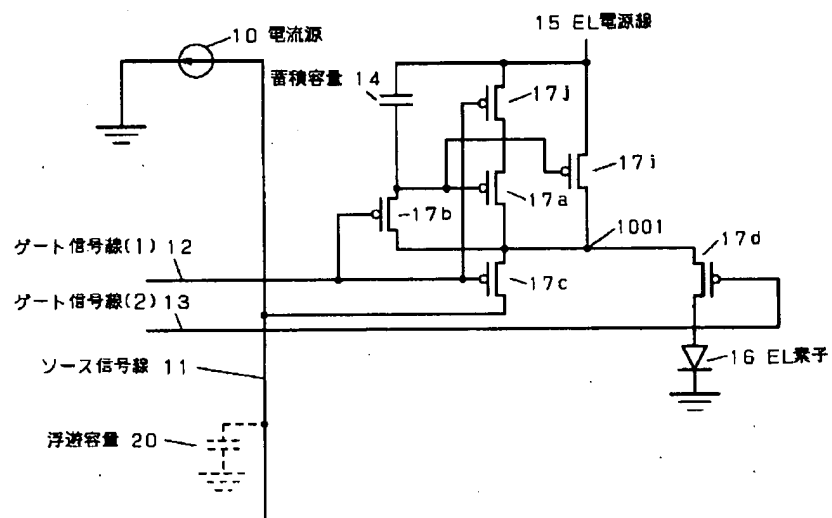
第2の期間

Timing diagram for a 1-bit serial adder. The diagram shows three signals: Source signal (ソース信号線), Gate signal (1) (ゲート信号線(1)), and Gate signal (2) (ゲート信号線(2)). The Source signal alternates between 'X' (input) and 'I' (intermediate result). Gate (1) is high during the first period and low during the second. Gate (2) is low during the first period and high during the second. The diagram is divided into 'Horizontal walking period (selection time)' (水平走査期間 (行選択時)) and 'Horizontal walking period (non-selection time)' (水平走査期間 (行非選択時)). The total time is  $T_1$ , and the period of the source signal is  $\frac{Y}{X} \times T_1$ .

【図52】

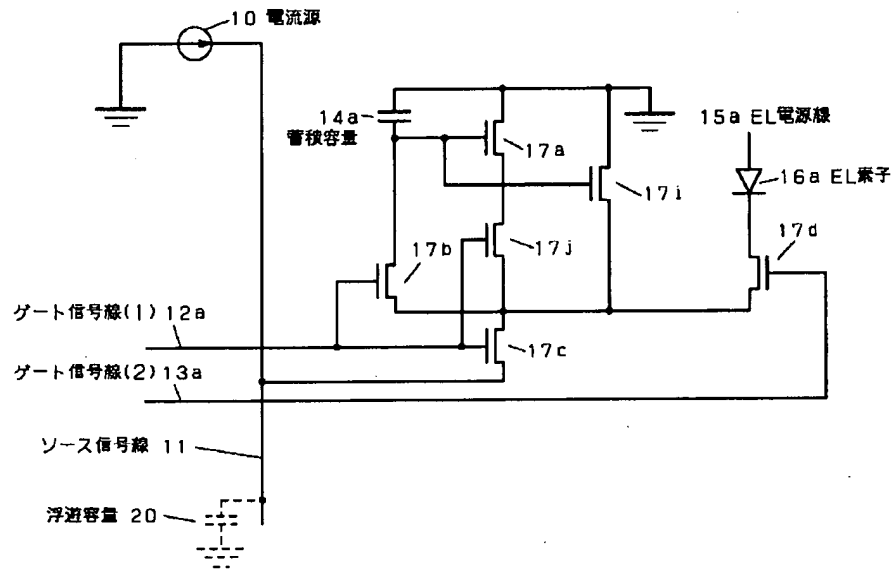


【図53】

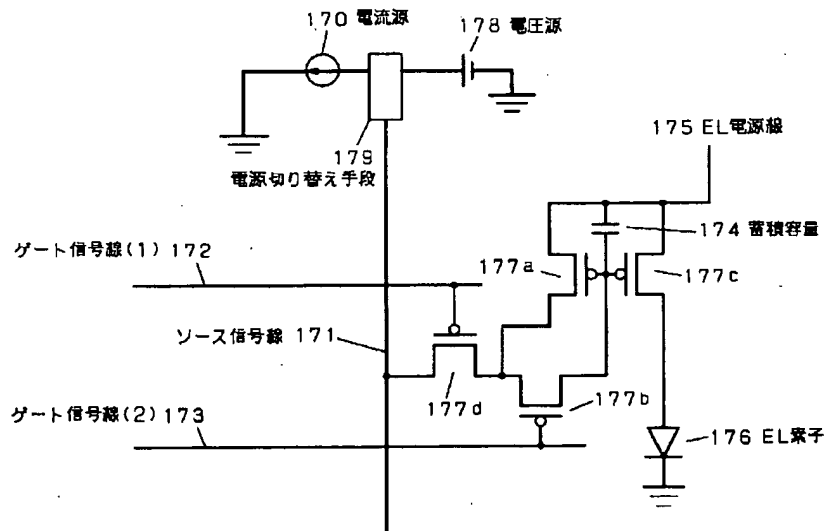




【図56】

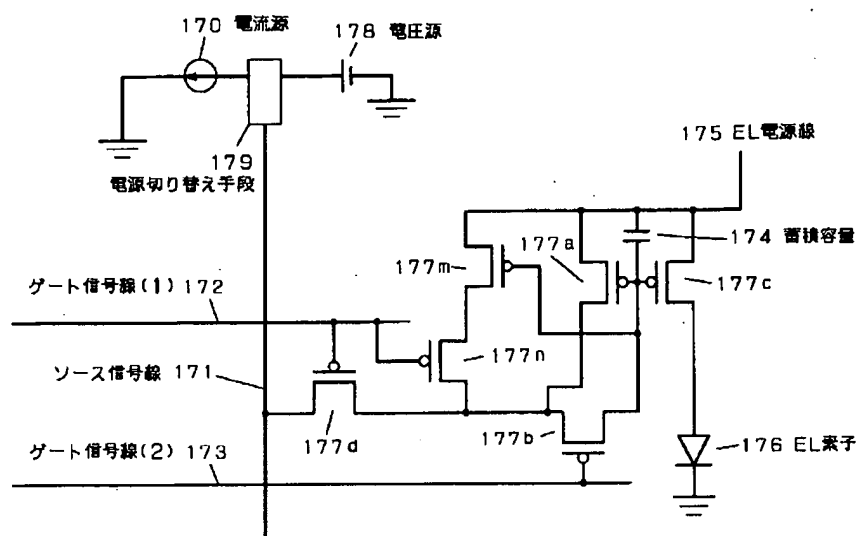


【図57】

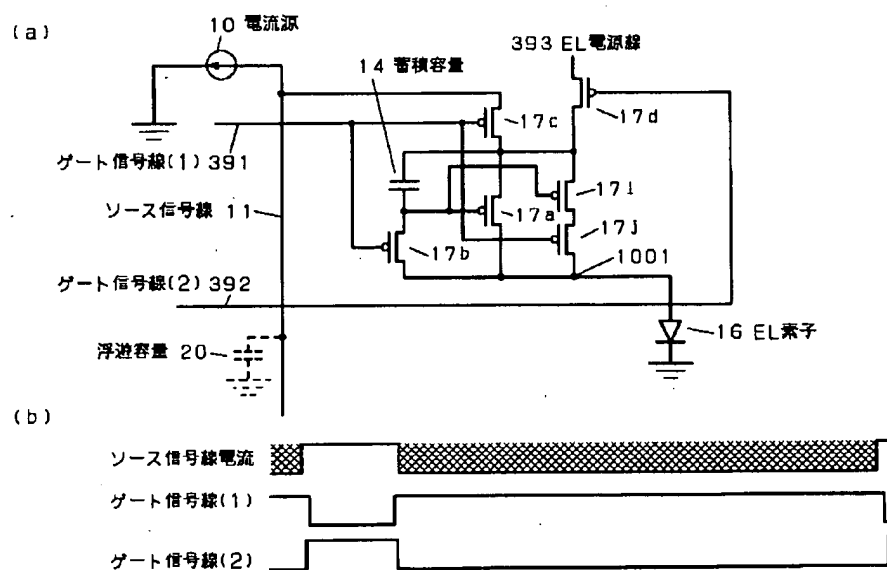




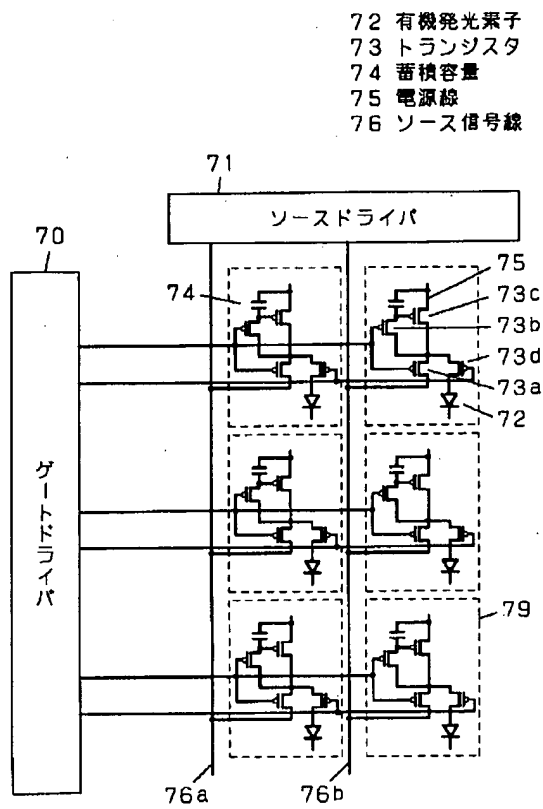
【図58】



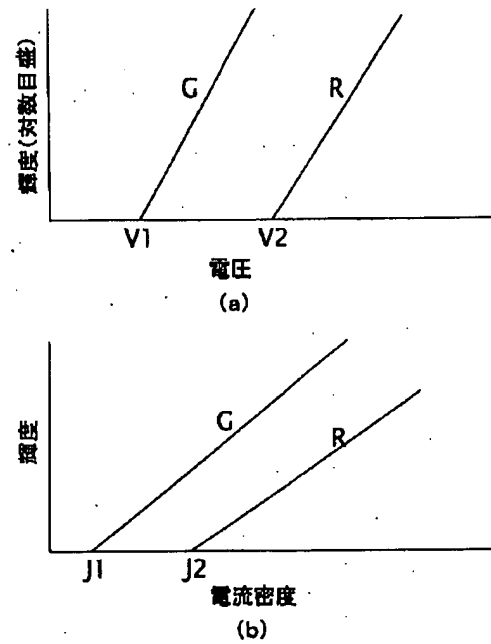
【図59】



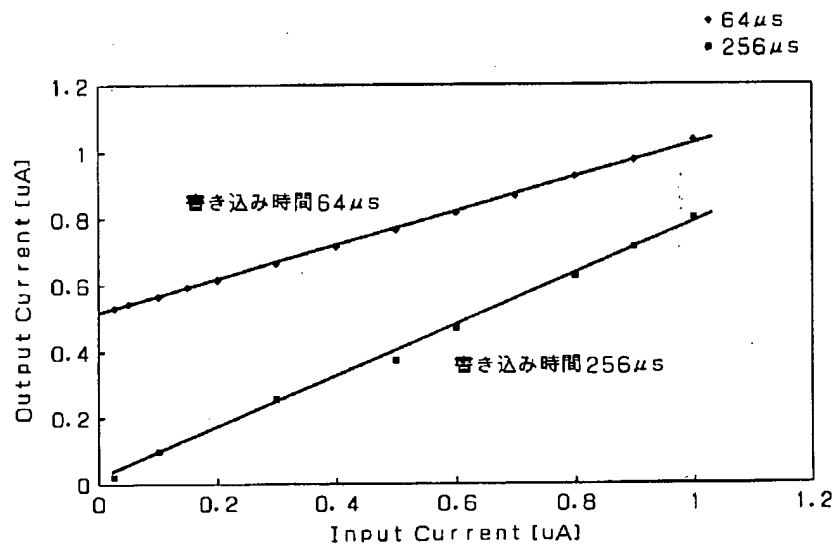
【図61】



【図63】



【図62】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターマコード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R
	6 2 4		6 2 4 B
	6 4 2		6 4 2 A
	6 8 0		6 8 0 T
			6 8 0 V
H 0 5 B 33/14		H 0 5 B 33/14	A
F ターム (参考) 3K007 AB01 AB05 BA06 CA03 EB00			
GA00			
5C080 AA06 BB05 DD05 DD06 EE28			
FF11 JJ02 JJ03 JJ04 JJ05			
KK07 KK43			
5C094 AA04 BA03 BA27 CA19 CA24			
EA04 EA07 EB05			